
AT32微控制器硬件设计指南及抗EMC设计要点

前言

本应用笔记为使用AT32系列微控制器芯片的硬件设计人员提供参考设计，包括供电电源要求、时钟管理、复位管理、调试接口的管理。它说明了使用AT32系列微控制器芯片所需的最低硬件资源。文中介绍了有关硬件设计、PCB布局布线和软件设计的各种技巧，并且帮助用户在设计阶段考虑系统的抗ESD和EFT性能。典型故障章节帮助用户在出现类似问题时提供分析思路。

目录

1	电源.....	8
1.1	独立 ADC/DAC 及比较器电源和参考电压	8
1.2	电池供电	8
1.3	电源方案	8
1.4	复位和电源监控	9
1.4.1	上电复位（POR）/低电压复位（LVR）	9
1.4.2	电源电压监测器（PVM）	10
1.4.3	系统复位	10
1.4.4	NRST 电路.....	11
2	时钟.....	12
2.1	HEXT 时钟	12
2.2	LEXT 时钟	13
3	启动模式	14
4	调试接口	15
5	参考设计	16
6	原理图检查	17
7	硬件设计要点	18
7.1	一般 PCB 设计要点.....	18
7.1.1	电源和地	18
7.1.2	去耦电容	19
7.1.3	信号线.....	20
7.1.4	晶振	20

7.1.5	模拟信号	20
7.1.6	输入输出端口	21
7.2	QFN 封装电路板 EPAD 焊盘设计要点	21
7.2.1	导热过孔设计	21
7.2.2	导热过孔的尺寸和安排	21
7.3	其它设计要点	23
8	抗 ESD 设计要点	24
8.1	保护器件的选择	24
8.1.1	保护器件选型要点	24
8.1.2	保护器件的工作特性图与主要参数简介	25
8.2	设计建议	25
8.2.1	原理图	25
8.2.2	PCB 设计	27
8.2.3	软件设置	28
8.3	芯片使用和存储过程中的 ESD 防护措施	29
9	抗 EFT 设计要点	30
9.1	故障类型	30
9.2	故障原因	31
9.3	设计建议	32
9.3.1	原理图	32
9.3.2	PCB 设计	33
9.3.3	软件设置	34
10	EMC 典型硬件电路设计	35
10.1	交流电源的 EMC 设计原理图示例	35
10.2	直流电源的 EMC 设计原理图示例	36
10.3	信号接口的 EMC 设计原理图示例	38
10.4	微控制器的 EMC 设计原理图示例	42

11	典型故障	43
11.1	在产品使用或者老化过程中偶发微控制器芯片的 V_{DD} 引脚与 V_{SS} 短路.....	43
11.2	在产品使用或者老化过程中偶发 GPIO 损坏.....	43
11.3	晶振不启振或频率输出异常	43
11.4	ADC 采集数据误差大.....	44
12	文档版本历史	45

表目录

表 1. 启动模式	14
表 2. 调试端口引脚分配	15
表 3. 原理图检查表	17
表 4. 文档版本历史	45

图目录

图 1. 电源方案	9
图 2. 上电复位和掉电复位波形	9
图 3. PVM 阈值与输出	10
图 4. NRST 电路	11
图 5. HEXT/LEXT 时钟源	12
图 6. HEXT 串接电阻示意图	13
图 7. 启动模式选择	14
图 8. JTAG 标准接口电路	15
图 9. SWD 配合 AT-Link 接口电路	15
图 10. AT32F421C8T7 最小系统电路	16
图 11. 电路功能模块布局	18
图 12. 电源连接比较	18
图 13. 去耦电容布局比较	19
图 14. 过孔放置比较	19
图 15. 晶振布局	20
图 16. QFN 封装 EPAD 的导热过孔	22
图 17. EPAD 上不同数量过孔的热特性比较	22
图 18. ESD 电流强度放电测试波形	24
图 19. ESD/TVS 工作特性	25
图 20. 常见信号线 ESD 防护应用电路	27
图 21. ESD 管布局方式比较	28
图 22. EFT 干扰波形	30
图 23. 电源滤波及保护推荐电路	32
图 24. TVS 管走线方式比较	33
图 25. 铺铜形成窄路径	34
图 26. 380 V 交流电源	35
图 27. 110/220 V 交流电源	35
图 28. 24 V 交流电源	36
图 29. 48~72 V 直流电源	36
图 30. 24 V 直流电源	37

图 31. 12 V 直流电源.....	37
图 32. CAN 接口.....	38
图 33. RS485 接口	38
图 34. SPI 接口.....	38
图 35. USB2.0 接口	39
图 36. RS232 接口	39
图 37. 10/100M 以太网接口	40
图 38. LCD 接口	41
图 39. 有源晶振	41
图 40. 微控制器	42

1 电源

为达到全速、全功能，AT32 微控制器芯片需要满足数据手册规定的工作电压供电（ V_{DD} ）。内部的 LDO 用于提供 1.2 V 数字模块电源。 V_{BAT} 可用于当 V_{DD} 断电时为实时时钟（RTC）和电池供电寄存器（BPR）供电。

1.1 独立 ADC/DAC 及比较器电源和参考电压

为提高 ADC/DAC 的转换精度以及比较器 CMP 工作的稳定度，单独配备了模拟电源供电引脚（不同封装会有区别），可以对 ADC/DAC/CMP 电源和参考电压单独进行滤波和降噪处理。

- ADC/DAC/CMP 电压源从 V_{DDA} 引脚接入。
- V_{SSA} 提供独立的电源接地引脚。
- 为获得低电压输入和输出上的更好精度，可以将 V_{REF+} （若封装提供）连接到一个独立的，低于 V_{DDA} 的外部参考电压源，但此参考源必须大于 V_{REF+} 的最小值。
- V_{REF+} 可以连接至 V_{DDA} ， V_{REF-} 必须连接至 V_{SSA} ，当 V_{REF+} 和 V_{REF-} 引脚不可用时，它们内部连接到 V_{DDA} 和 V_{SSA} 。

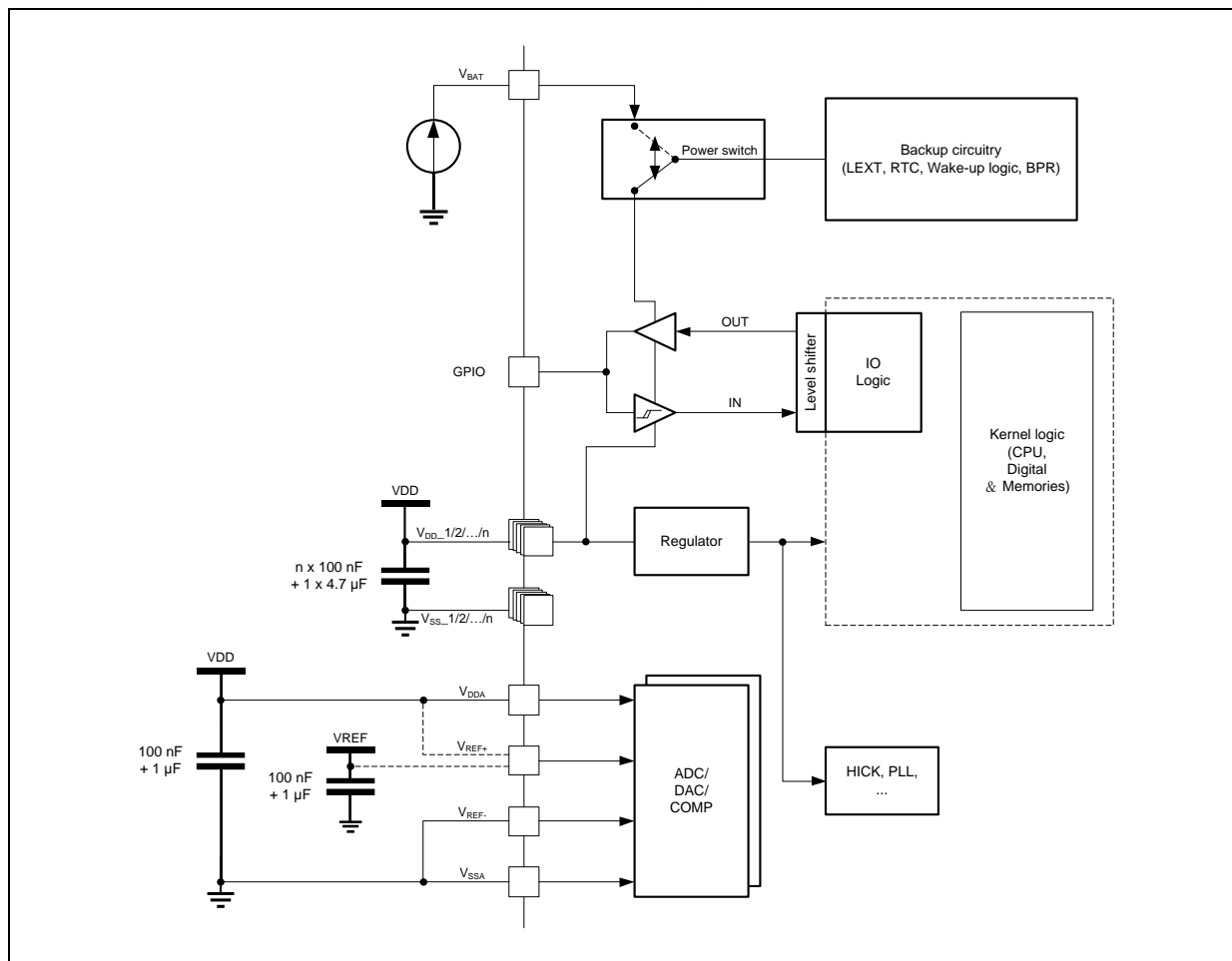
1.2 电池供电

为了在 V_{DD} 断电后，保存电池供电寄存器（BPR）的内容以及实时时钟（RTC）能够继续工作，可以将 V_{BAT} 引脚连接到电池或其它备用电源。若应用中没有使用外部电池，必须将 V_{BAT} 外部连接至 V_{DD} 。

1.3 电源方案

- V_{DD} 引脚必须外加去耦电容（一个单独的钽电容或陶瓷电容，至少是 4.7 μF ，且每一个单独的 V_{DD} 加一个 0.1 μF 的陶瓷电容）。
- V_{BAT} 引脚可连接到外部电池。如果没有使用任何外部电池，请将此引脚连接至带有 0.1 μF 去耦陶瓷电容的 V_{DD} 上。
- V_{DDA} 引脚外部必须加两个去耦电容（1 μF 钽电容或陶瓷电容 + 0.1 μF 陶瓷电容）。
- V_{REF+} 引脚可连接到 V_{DDA} ，若 V_{REF+} 单独接外部参考电压，则必须加两个去耦电容（1 μF 钽电容或陶瓷电容 + 0.1 μF 陶瓷电容）。 V_{REF+} 必须保证在数据手册“ADC/DAC 特性”规定范围内。
- 可采用更多的措施来处理模拟电源噪声，如添加磁珠到 V_{DDA}/V_{REF+} 前端。

图 1. 电源方案

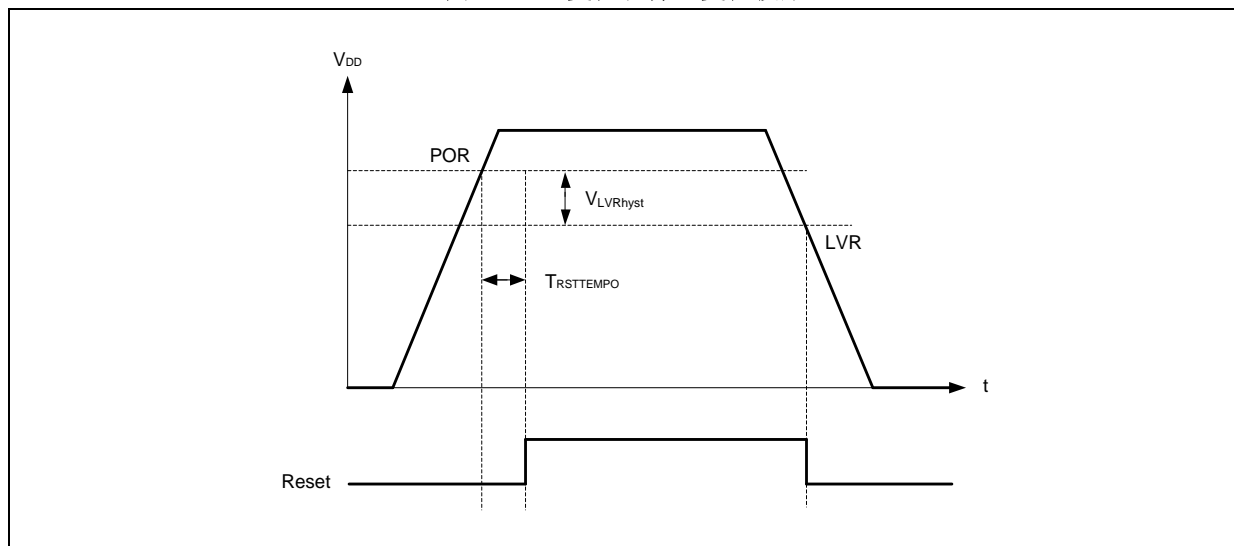


1.4 复位和电源监控

1.4.1 上电复位（POR）/低电压复位（LVR）

AT32 微控制器芯片内部有一个完整的上电复位（POR）和低电压复位（LVR）电路，当 V_{DD} 供电电压达到 V_{POR} 时系统即能正常工作。当 V_{DD} 低于指定的限位电压 V_{LVR} 时，系统保持为复位状态，而无需外部复位电路。关于上电复位和低电压复位的细节请参考数据手册的电气特性部分。

图 2. 上电复位和掉电复位波形

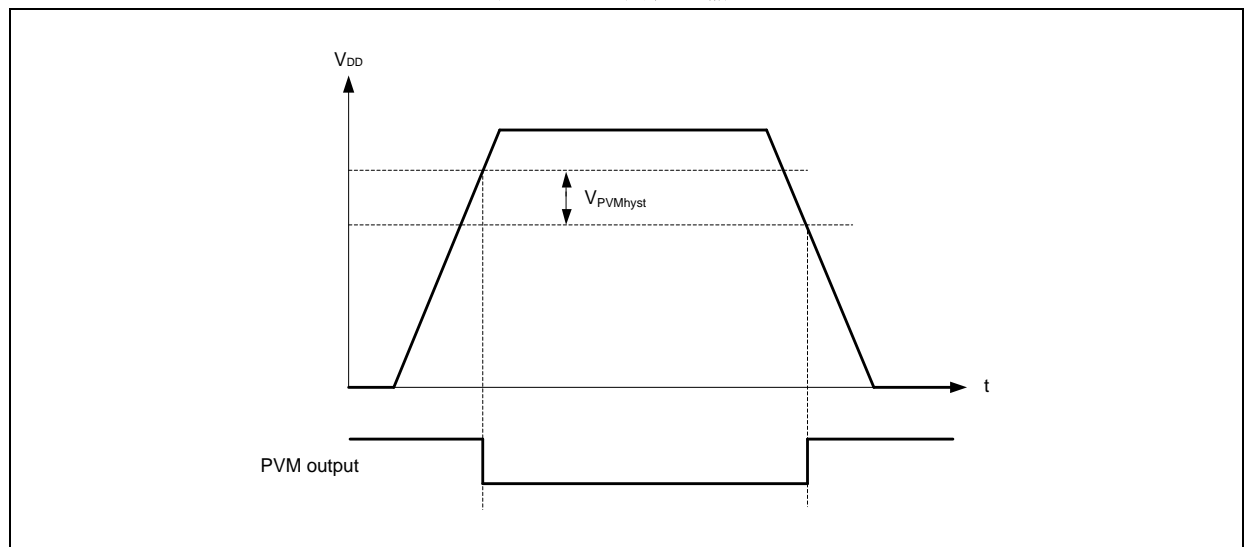


1.4.2 电源电压监测器（PVM）

用户可以利用 PVM 对 V_{DD} 电压进行监测，将其与电源控制寄存器（PWC_CTRL）中的 PVMSEL 选择的阈值进行比较来监控电源。

通过设置 PVMEN 位来使能 PVM。电源控制/状态寄存器（PWC_CTRLSTS）中的 PVMOF 用来表明 V_{DD} 是高于还是低于 PVM 选定的电压阈值。该事件在内部连接到外部中断的第 16 线，如果该中断在外部中断寄存器中是使能的，该事件就会产生中断。当 V_{DD} 下降到 PVM 阈值以下和（或）当 V_{DD} 上升到 PVM 阈值之上时，根据外部中断第 16 线的上升/下降边沿触发设置，就会产生 PVM 中断。例如，这一特性可用于执行紧急关闭任务。

图 3. PVM 阈值与输出



1.4.3 系统复位

除了时钟控制器的 CRM_CTRLSTS 寄存器中的复位标志位和电池供电寄存器以外，系统复位将复位所有寄存器至它们的复位状态。

当发生以下任一事件时，产生一个系统复位：

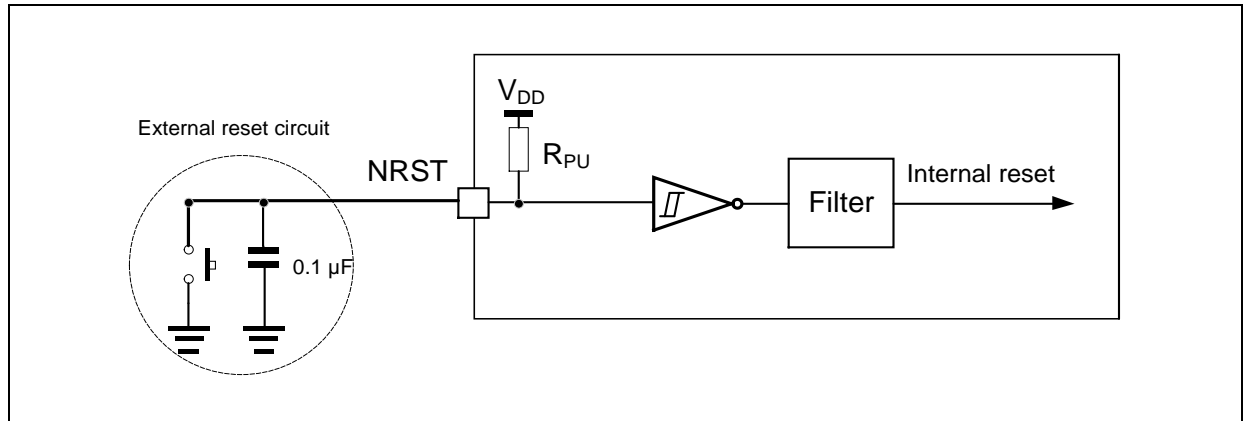
- V_{DD} 掉电低于 V_{LVR}
- NRST 引脚上的低电平（外部复位）
- 一般看门狗计数终止（WDT 复位）
- 窗口看门狗计数终止（WWDT 复位）
- 软件复位
- 低功耗管理复位

可通过查看 CRM_CTRLSTS 控制状态寄存器中的复位状态标志位识别复位事件来源。

1.4.4 NRST 电路

NRST 引脚外部强烈建议接一个电容，以提高 EMS 性能，该电容建议值 100 nF。NRST 引脚内部上拉到 V_{DD} ，典型上拉电阻值 40 k Ω ，因此可以不用外部上拉电阻。

图 4. NRST 电路



2 时钟

三种不同的时钟源可被用来驱动系统时钟（SCLK）：

- HEXT 高速外部晶振
- HICK 高速内部时钟
- PLL 时钟：PLL 可选由 HEXT 或 HICK 产生时钟

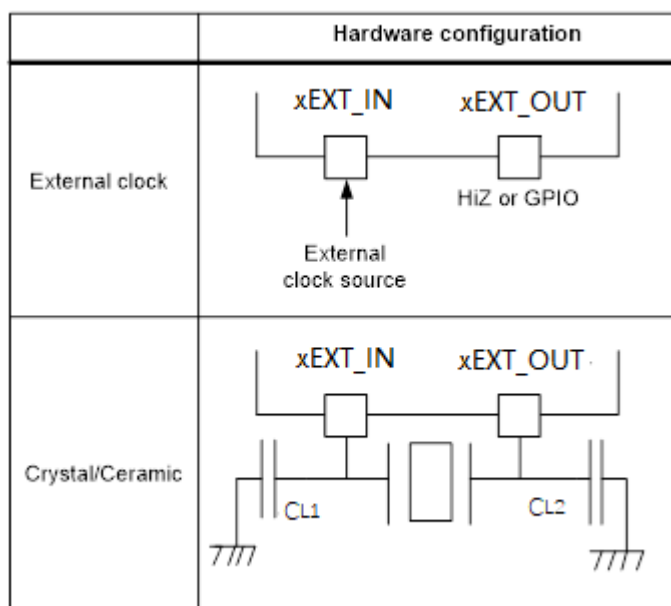
这些设备有以下两种二级时钟源：

- 低速内部时钟（LICK），可以用于驱动一般看门狗和通过程序选择驱动 RTC 时钟（RTCCLK）。RTC 用于从停机/待机模式下自动唤醒系统。
- 低速外部晶振（LEXT）也可用来通过程序选择驱动 RTC。当不被使用时，任一个时钟源都可被独立地启动或关闭，由此优化系统功耗。

2.1 HEXT 时钟

高速外部晶振信号（HEXT）可选择外部时钟源或者晶体/陶瓷谐振器作为时钟源。

图 5. HEXT/LEXT 时钟源



使用外部时钟源时，必须提供外部时钟，它的频率最高可达 25 MHz。外部时钟信号（45 ~ 55 % 占空比的方波、正弦波或三角波）必须连到 HEXT_IN 引脚，同时保证 HEXT_OUT 引脚悬空，（少部分后期产品支持 HEXT_OUT 可同时作为 GPIO 使用。）见图 5。

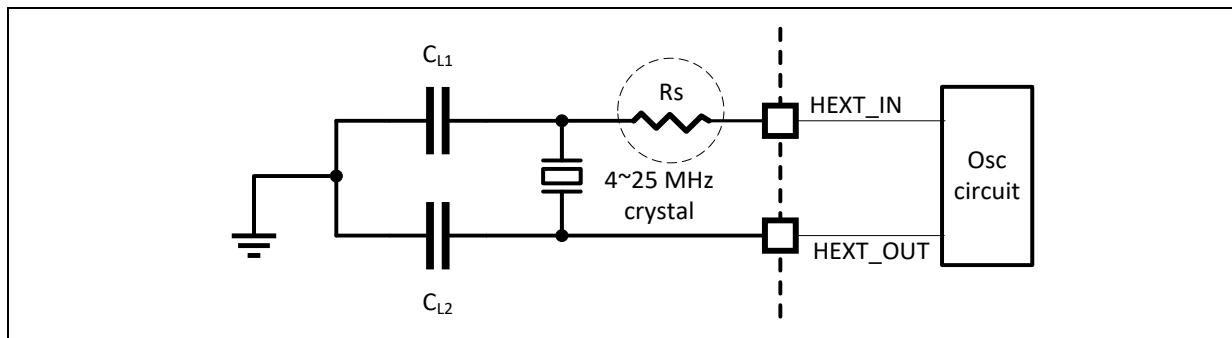
使用晶体/陶瓷谐振器作为时钟源时：

- 4 ~ 25 MHz 外部晶振可为系统提供更为精确的主时钟。晶体/陶瓷谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减少时钟输出失真和缩短起振稳定时间。负载电容值必须根据所选择的振荡器来调整。见图 5。
- 晶振厂商指定的负载电容 C_L 通常是 C_{L1} 和 C_{L2} 的串联组合， $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 为引脚电容以及 PCB 走线电容，典型值为 2 pF ~ 7 pF。

使用 8 MHz / 20 pF 规格晶振一般实测驱动功率 (D_L , drive level) 典型值为约 100 μ W, 若改用更快频率晶振驱动功率会再高些。若要降低驱动功率在 AT32L 系列产品可以设置寄存器选择较低驱动能力; 而 AT32F 系列就只能外接并接或串接电阻降低驱动功率。实际驱动功率建议客户协同合作晶振供货商实测为准。

注意: 因设计差异, AT32F 系列串接电阻需接在 HEXT_IN 引脚, 而非一般常见的 HEXT_OUT。见图 6。

图 6. HEXT 串接电阻示意图



另注意若使用 MCU 的 OTG 主机模式或 CAN 功能, 因时钟准确度要求, 必须使用由 HEXT 晶振为源头所产生的 PLL 作为这些模块的时钟源。而当使用 USBFS 或 OTGFS 的设备模式时, 大多数型号 MCU 可选择内部 HICK 48 MHz 作为 USBFS 或 OTGFS 模块的时钟源, 可节省 HEXT 相关器件和线路。

更多信息请参考产品参考手册和产品数据手册的电气特性章节。

2.2 LEXT 时钟

低速外部晶振信号 (LEXT) 可选择外部时钟源或者晶体/陶瓷谐振器作为时钟源。

LEXT 晶体是一个 32.768 kHz 的低速外部晶体或陶瓷谐振器。它为实时时钟或者其他定时功能提供一个低功耗且精确的时钟源。

使用晶体/陶瓷谐振器作为时钟源时, 晶体/陶瓷谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以减少时钟输出失真和缩短起振稳定时间。负载电容值必须根据所选择的振荡器来调整。见图 5。

使用外部时钟源时, 最高频率不要超过 1 MHz。45 ~ 55 % 占空比的外部时钟信号 (方波、正弦波或三角波) 必须连到 LEXT_IN 引脚, 同时保证 LEXT_OUT 引脚悬空, (少部分后进产品支持 LEXT_OUT 可同时作为 GPIO 使用。) 见图 5。

更多信息请参考产品参考手册和产品数据手册的电气特性章节。

3 启动模式

可以通过 **BOOT[1:0]** 引脚选择三种不同引导模式（随型号不同 **BOOT1** 可能采用外部 **BOOT1** 引脚或用户系统数据中的启动配置位 **nBOOT1** 的反值），如下表所示：

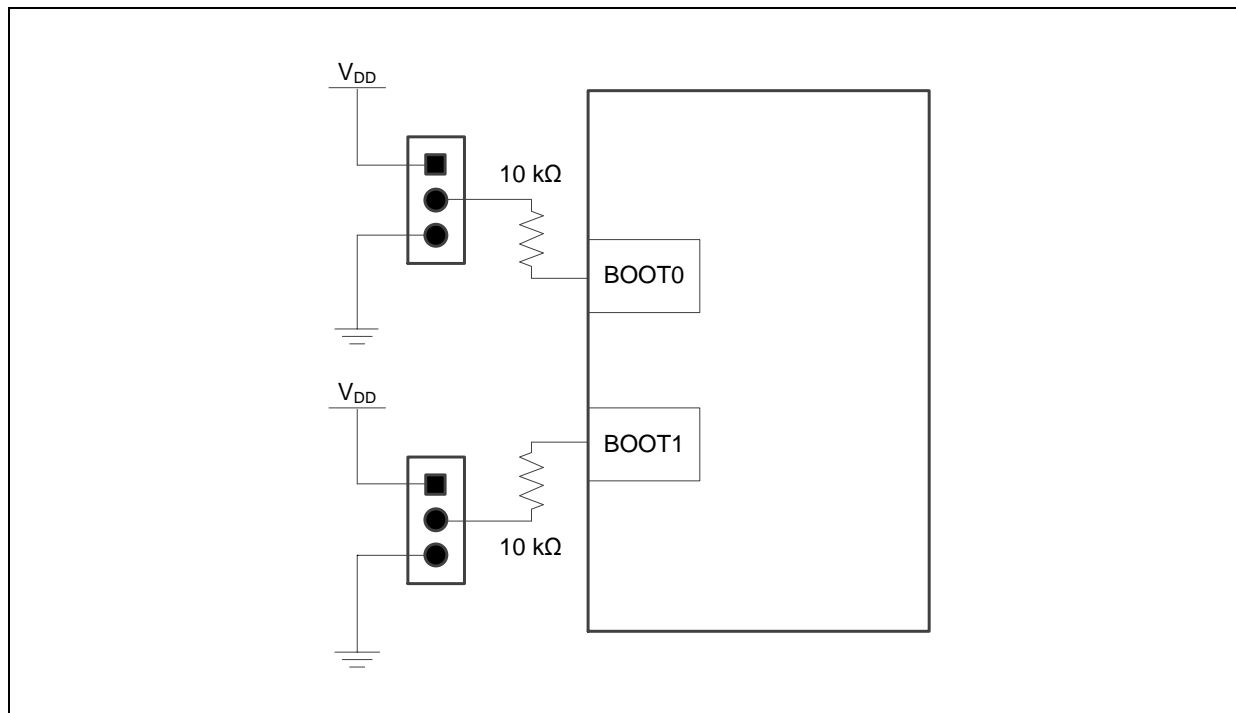
表 1. 启动模式

启动模式	说明	配置	
		BOOT1	BOOT0
主闪存存储器	主闪存存储器被选为启动区域	X	0
启动程序代码区	启动程序代码区被选为启动区域	0	1
SRAM	内置 SRAM 被选为启动区域	1	1

在系统复位后，**BOOT** 值将被锁存。用户可以通过设置 **BOOT0** 和 **BOOT1** 状态，来选择在复位后的启动模式。从待机模式退出时，**BOOT** 值将被重新锁存；因此，在待机模式下等别要注意 **BOOT** 引脚应保持为需要的启动配置。

注意： **BOOT0** 内部有固定弱下拉电阻 75 k Ω ，不可禁用。

图 7. 启动模式选择



4 调试接口

AT32 微控制器芯片内核集成了串行线/JTAG 调试接口。

- 串行线接口（SWD）；
- 标准 JTAG 调试接口（JTAG）。部分型号不支持 JTAG 全部功能，但仍提供 SWO 功能。

表 2. 调试端口引脚分配

调试端口引脚名称	JTAG 调试端口		SWD + SWO 调试端口		引脚分配
	类型	说明	类型	说明	
JTMS/SWDIO	I	JTAG 测试模式选择输入	I/O	串行线数据输入/输出	PA13
JTCK/SWCLK	I	JTAG 测试时钟输入	I	串行线时钟输入	PA14
JTDI	I	JTAG 测试数据输入	-	-	PA15
JTDO/SWO	O	JTAG 测试数据输出	O	异步跟踪	PB3
JNTRST	I	JTAG 测试复位	-	-	PB4

图 8. JTAG 标准接口电路

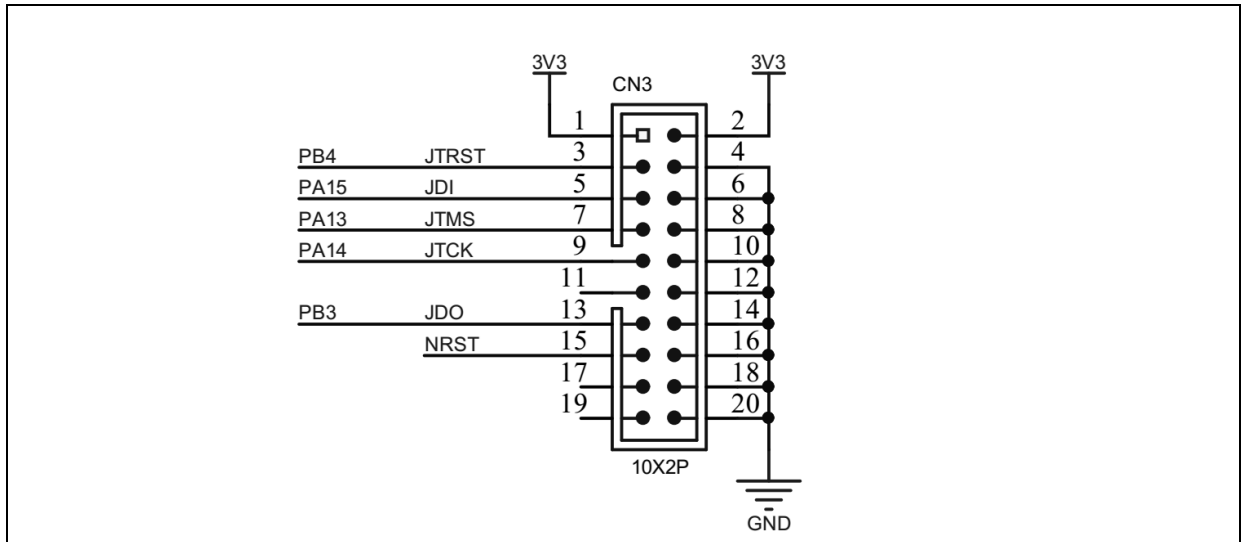
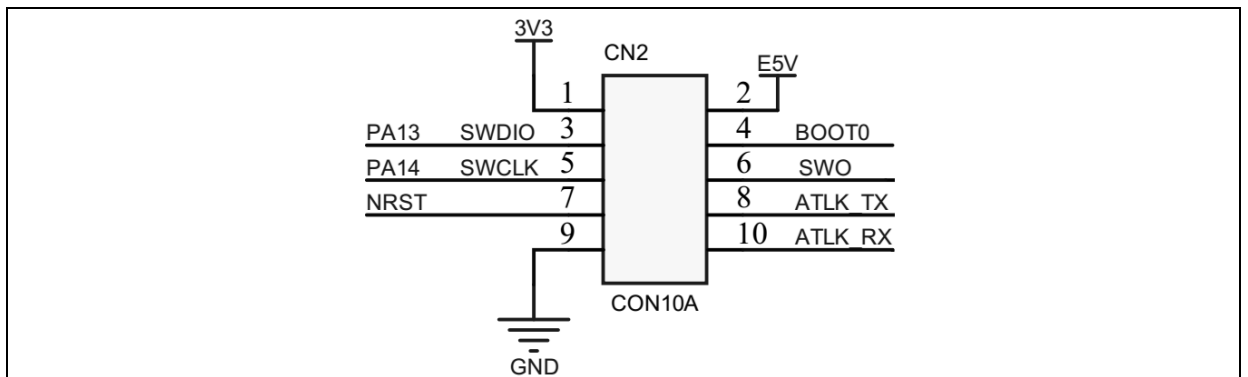


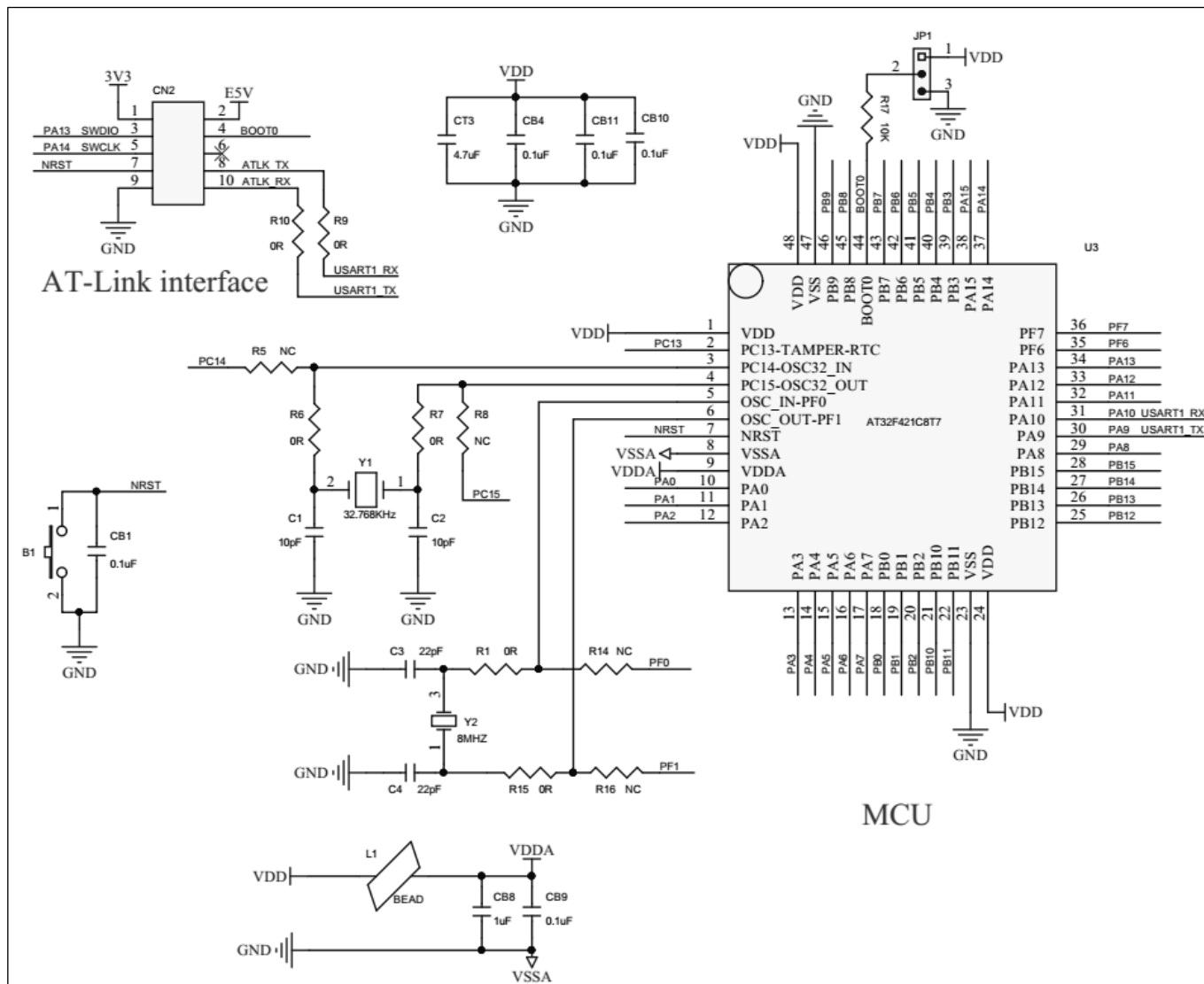
图 9. SWD 配合 AT-Link 接口电路



5 参考设计

以 AT32F421 为例。更多详细参考设计查阅各个系列的 AT-START 开发板。

图 10. AT32F421C8T7 最小系统电路



6 原理图检查

系统原理图设计完成后，可以按下表项目逐项核对。

表 3. 原理图检查表

项目	内容	Y, N, N/A
电源	V _{DD} 引脚电压是否在规定范围内？	<input type="checkbox"/>
	V _{DDA} /V _{REF+} 引脚上的电压是否在要求的范围内？	<input type="checkbox"/>
	每个电源引脚是否都有加去耦电容？	<input type="checkbox"/>
	V _{BAT} 引脚的输入电压是否在规定范围内？	<input type="checkbox"/>
	V _{BAT} 引脚若没有外接电压源是否接到 V _{DD} ？	<input type="checkbox"/>
时钟	外部有源时钟信号是否输入到 HEXT_IN 引脚？	<input type="checkbox"/>
	外部有源/无源时钟频率范围是否在规定范围内？	<input type="checkbox"/>
	外部时钟的占空比是否在 45%到 55%的范围内？	<input type="checkbox"/>
	谐振器的负载电容是否符合厂商要求的值，是否考虑器件引脚电容？	<input type="checkbox"/>
	若使用 OTG 主机模式或 CAN 功能，是否留有 HEXT 晶振电路作系统时钟？	<input type="checkbox"/>
复位	NRST 引脚外部是否有接 0.1 μ F 陶瓷电容？	<input type="checkbox"/>
编程和调试	SWD/JTAG 接口引脚连接是否正确？	<input type="checkbox"/>
GPIO 引脚	PC13/PC14/PC15 是否作为输出引脚且推动电流小于 3 mA？	<input type="checkbox"/>
	GPIO 引脚上的所有灌电流/拉电流是否都小于 25 mA？	<input type="checkbox"/>
	GPIO 引脚上的所有灌电流/拉电流总大小是否小于 150 mA？	<input type="checkbox"/>
	GPIO 引脚上的输入信号电平是否超过规格？	<input type="checkbox"/>
	是否应使用 FT 引脚而未使用？（如 5 V CAN 收发器）	<input type="checkbox"/>
ADC	ADC 的输入信号是否小于 V _{REF+} ？	<input type="checkbox"/>
	ADC 采样通道的输入阻抗是否符合规定的范围？	<input type="checkbox"/>

7 硬件设计要点

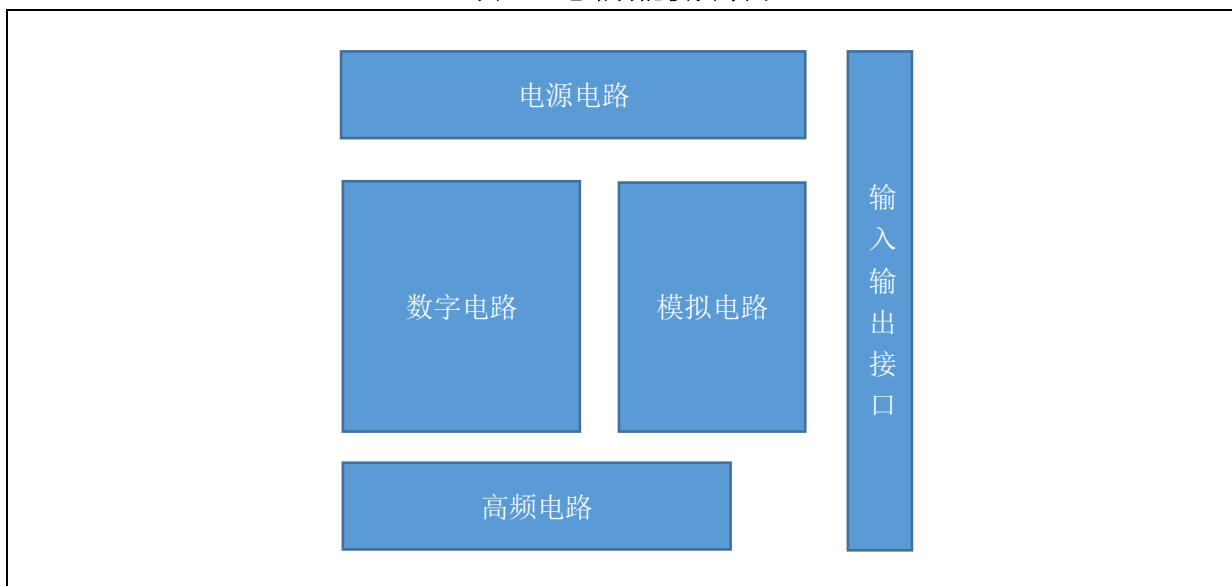
使用者应该在电路设计和 PCB 布局时遵循以下规则，以发挥芯片效能并减小系统干扰噪声。

7.1 一般 PCB 设计要点

在 PCB 布局时要结合机械结构约束，认真考虑各个功能模块电路和具体器件的摆放。微弱信号模拟电路、高速数字电路和大噪声电路必须分开，以减少子电路间的耦合干扰。放置器件时要综合考虑不同模块电路信号走线是否会存在交叉混合的情况。

- 电压调节器和电源放在接近电源输入口，不要将电源信号与高噪声信号并行走线。
- 敏感器件，如微控制器芯片、晶振不要放在 PCB 边沿；将连接接口放在 PCB 边沿。
- 进行布局时，尽可能缩短功能组件中各个器件的物理距离。

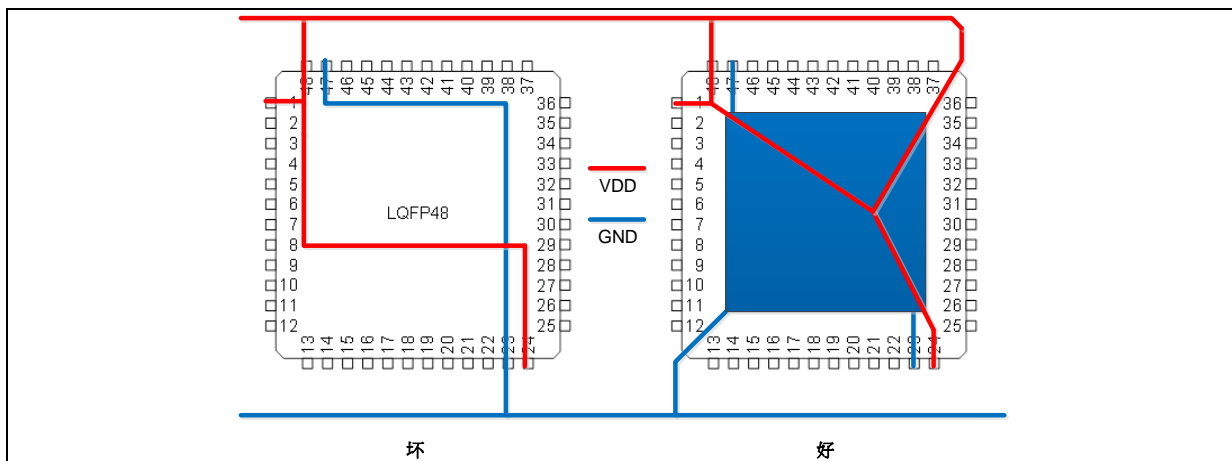
图 11. 电路功能模块布局



7.1.1 电源和地

通常，微控制器芯片的 V_{DD}/V_{SS} 引脚应以星形的方式进行布线，不要以链的方式连接。如果是多层板， V_{DD} 和 V_{SS} 应该通过内层电源和地平面进行连接。推荐在芯片正下铺设数字地平面。

图 12. 电源连接比较



以下是提高 EMC 的一些建议：

- 用多层板
- 在每个对应的电源引脚附件放置一个或者两个去耦电容，以减少可能的干扰
- 用电容器组匹配电源去耦的频率特性
- 确保只有一个星形接点将模拟地和数字地进行连接，该星形接点尽可能远离微控制器芯片，尽可能靠近线性电源调节器的旁路电容
- 将模拟输入信号用模拟地进行隔离处理
- 避免大面积地环路
- 确保换层的电源走线至少有两个过孔进行连接
- 在对应的引脚或接口线上采用保护器件

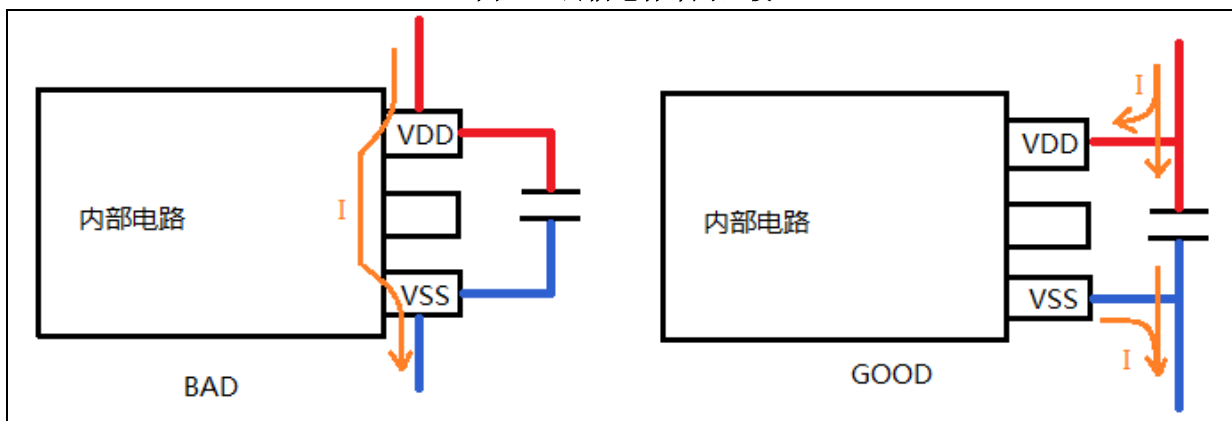
7.1.2 去耦电容

去耦电容尽可能的靠近 V_{DD} 引脚，如果摆放的太远就失去了去耦的功能。从 PCB 板上供电 LDO 出来到微控制器芯片电源入口处添加 μF 级的旁路电容，以缓冲公共电源线路中的电压波动和旁路电源噪声。当使用小的陶瓷电容和大的电解电容并联去耦时，将陶瓷电容更靠近芯片 V_{DD} 引脚以最小化环路面积。

如果可能，将所有的去耦电容放在和微控制器芯片同一层，或者放在成对电源引脚 (V_{DD}/V_{SS}) 下面的底层。

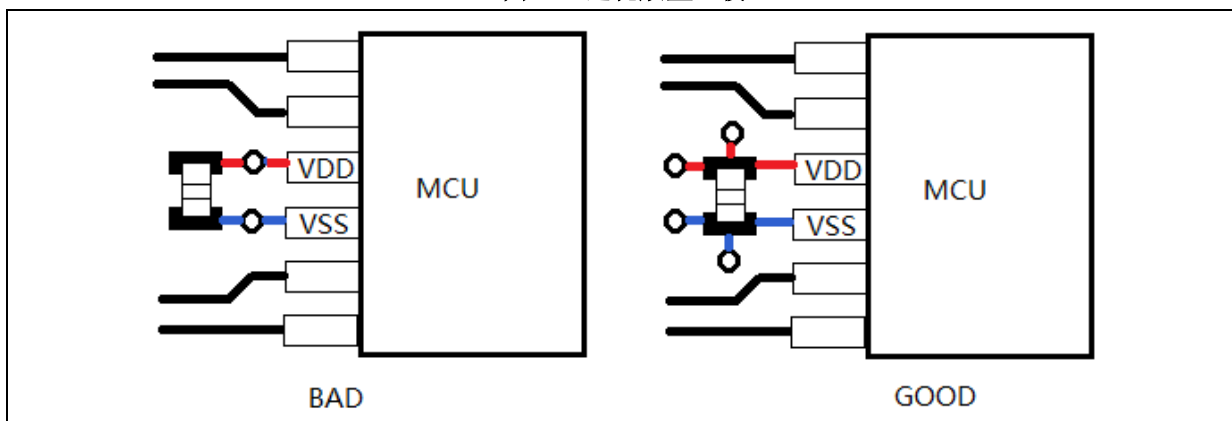
电源走线要先经过去耦电容焊盘再到 V_{DD} 引脚，这样噪声电流就会被过滤掉。

图 13. 去耦电容布局比较



请勿将电源过孔放置在去耦电容和 V_{DD} 引脚之间，这样会使去耦电容无效。

图 14. 过孔放置比较



7.1.3 信号线

在布置完电源和地的走线后，优先布局晶振的走线。当电路中有数字模拟混合信号时，走线不要混合交叉。优先处理敏感信号的布线，并且要对敏感信号进行保护以避免干扰。在微控制器芯片外围电路中敏感的信号包括：时钟、复位和中断信号线。

- 尽可能缩短并行走线的长度。
- 如果各信号需要交叉走线，请确保它们垂直交叉，从而最小化各信号间的耦合电容。
- 保证各个信号线间的距离符合“3W”原则，以最小化耦合电感。

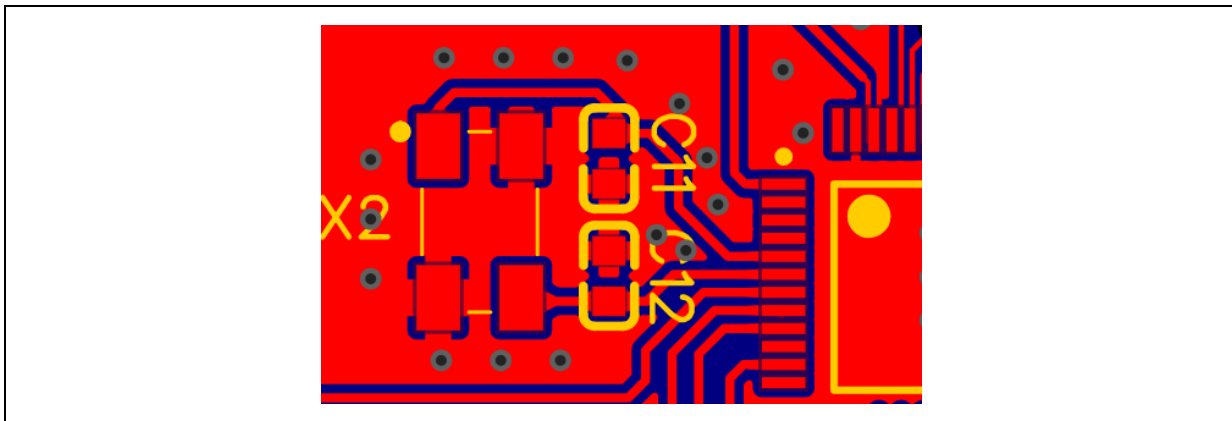
另外因 USART/UART 接收模式对信号采样的设计较为敏感，于平时操作功能皆正常，但在干扰严重环境下操作易发生起始位判定无效，以致接收数据错误问题。建议于 RX 引脚尽可能靠近 MCU 侧增加一 1~10 nF 级别电容到地，可有效避免干扰问题。

7.1.4 晶振

晶体振荡器在启动时对干扰特别敏感，强烈建议晶振信号线不要与大电流开关线路并行走线。一般准则如下：

- 负载电容尽量靠近 HEXT_IN/HEXT_OUT 引脚，并用地环保护。
- 不要在晶振电路附近或横跨电路底层走任何信号线（地线除外）。
- 选择满足系统要求的最小频率晶振。
- 使用合适的负载电容。
- 将晶振外壳接地。

图 15. 晶振布局



7.1.5 模拟信号

低电平的模拟信号很容易被数字信号干扰。如果模拟和数字信号必须混合，请确保线路正交走线，以减少耦合效应。

如果微控制器芯片的 V_{DDA}/V_{SSA} 和 V_{REF+}/V_{REF-} 没有和数字电源、数字地进行隔离或者没有进行滤波处理会严重影响 ADC 的性能。

7.1.6 输入输出端口

相比输出端口，配置为输入功能的 GPIO 对噪声更加敏感。

建议输入功能 GPIO 上添加 RC 滤波器，用于衰减外部噪声，滤波器的位置要靠近引脚。RC 的取值取决于输入信号的特征，串联电阻值一般在 $100\ \Omega \sim 1\ \text{k}\Omega$ ，滤波电容一般 $1\ \text{nF} \sim 0.1\ \mu\text{F}$ 。

NRST 引脚外接退耦电容和上拉电阻的布局都应被当做电源引脚滤波，应最小化电容的接地环路和上拉电阻的 V_{DD} 环路。

未使用的 GPIO 引脚处理：

- 如果保持悬空，请在软件中设置为输出模式并输出低电平。
- 如果不悬空，请将未使用的引脚接一个 $10\ \text{k}\Omega$ 下拉电阻。
- 不建议将未使用的 GPIO 引脚直接连接到电源或者地。

7.2 QFN 封装电路板 EPAD 焊盘设计要点

QFN (Quad Flat No-lead, 方形扁平无引脚) 封装是一种焊盘尺寸小、体积小的表面贴装芯片封装技术，可减少 PCB 面积的占用，因而有轻、薄、短、小并具价格优势的特征。另外因为没有外侧引脚，在包装、运送、及生产上都不会有引脚损伤的问题与困扰。

QFN 的主要特点有：

- 表面贴装封装
- 重量轻，适合便携式应用
- 电路板面积占用少
- 具有优异的热性能，主要是因为底部有大面积散热焊盘

7.2.1 导热过孔设计

QFN 封装底部中央位置有一个大面积裸露的焊盘 (EPAD)，除了作为芯片接地使用外，还具有导热的作用，用于释放芯片运行中产生的热量。因此同样产品采用 QFN 封装，其 θ_{JA} 值一般都低于其他 QFP 或 SOP 封装。通常 EPAD 焊盘会直接焊接在电路板上，这时电路板中良好的 EPAD 焊盘导热过孔有助于将多余的热量扩散到铺铜接地层中。

多层 PCB 电路板，能透过导热过孔将热量传导至 PCB 其它铜层上，能更好的增进芯片的散热能力。

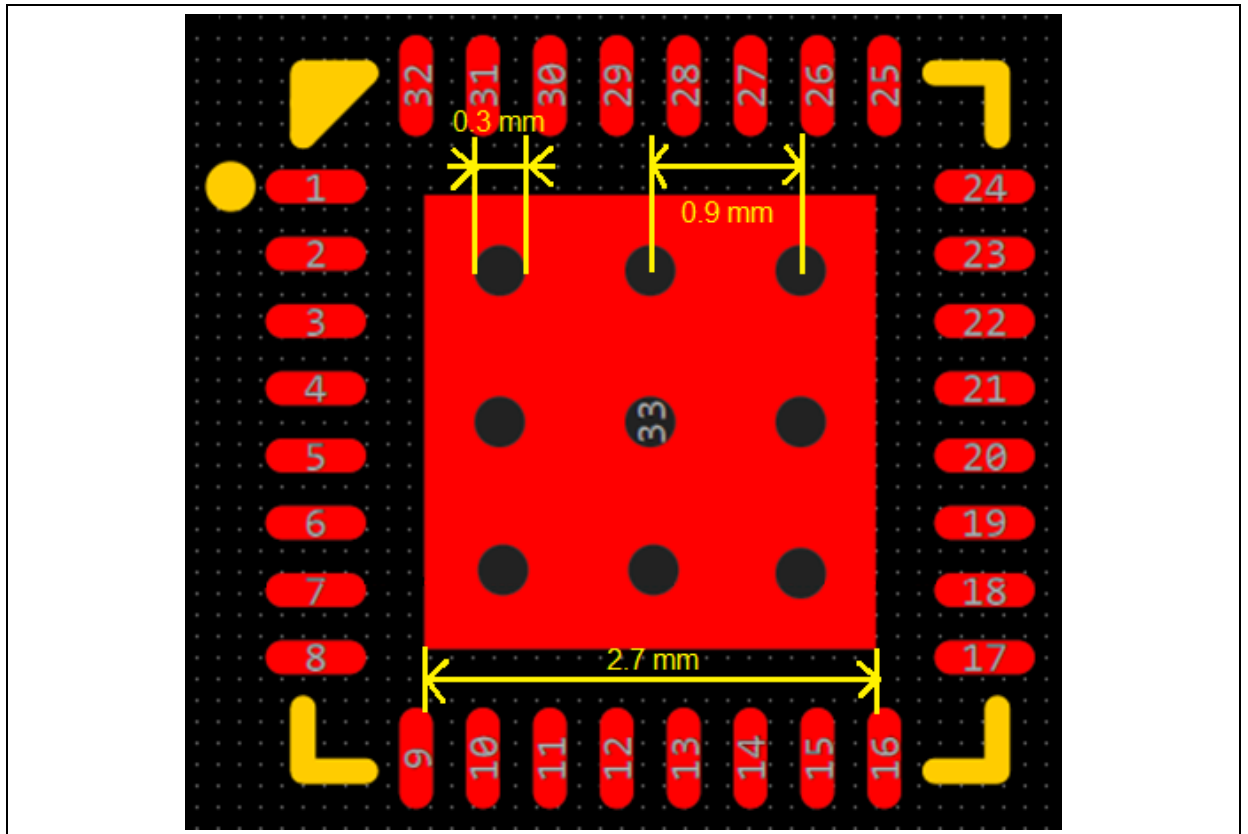
7.2.2 导热过孔的尺寸和安排

理论上导热过孔的数量越多，孔径越大则导热的效果也会越好，但孔径太大时，容易漏锡，影响焊接可靠性，建议的导热过孔尺寸为：

- Via Pitch (间距)： $0.8 \sim 1.2\ \text{mm}$
- Via Diameter (直径)： $0.3\ \text{mm}$

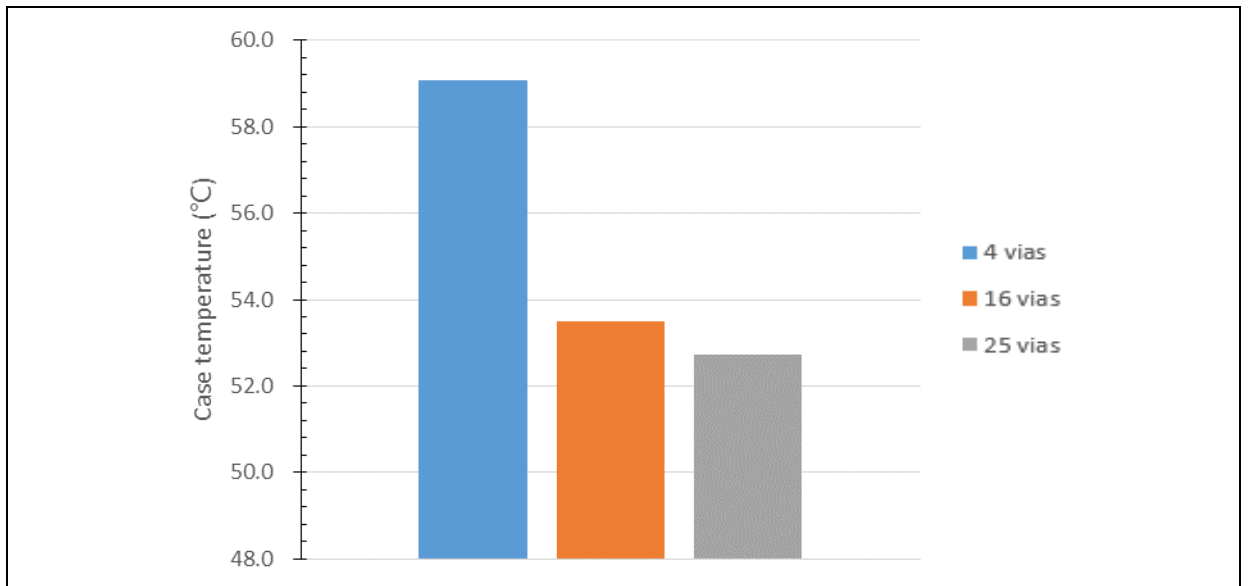
根据上述规则，QFN 封装的导热过孔可参照下图排布。（以 QFN32 $4 \times 4\ \text{mm}$ 封装举例。）

图 16. QFN 封装 EPAD 的导热过孔



以下是对 AT32F435 QFN48 6 x 6 mm 封装 EPAD 上添加不同数量过孔的热特性比较，可以看出相同条件下 EPAD 上放置 4 个过孔时，芯片内部温度要高于放置 16 个和 25 个过孔的温度。

图 17. EPAD 上不同数量过孔的热特性比较



7.3 其它设计要点

一个好的系统设计，除考虑硬件布局之外，配合良好的软件设计也可以让系统在故障状态下及时纠正，以及可以通过预防性功能来进行系统保护。系统之可靠设计不能只由硬件达成，仍系于软件与硬件之间的紧密配合。因此本文也原则性提出一些软件要点，详细请见 [AN0041](#) 或其它相关文档。

- 使用看门狗防止系统死机和代码失控
 - 当微控制器芯片受到干扰，程序指针跳到意外的位置或者进入无限循环时，看门狗功能会重启系统，让设备进入正常的程序模式。建议看门狗刷新在主程序中进行，而不是子程序或者中断里面。
- 定义所有中断向量函数，未使用的中断函数里面添加系统复位语句
 - 干扰信号如果错误触发了未使用的中断时，软件将跳转到定义的中断函数，在执行中断里面系统复位指令后微控制器芯片能够正确恢复。

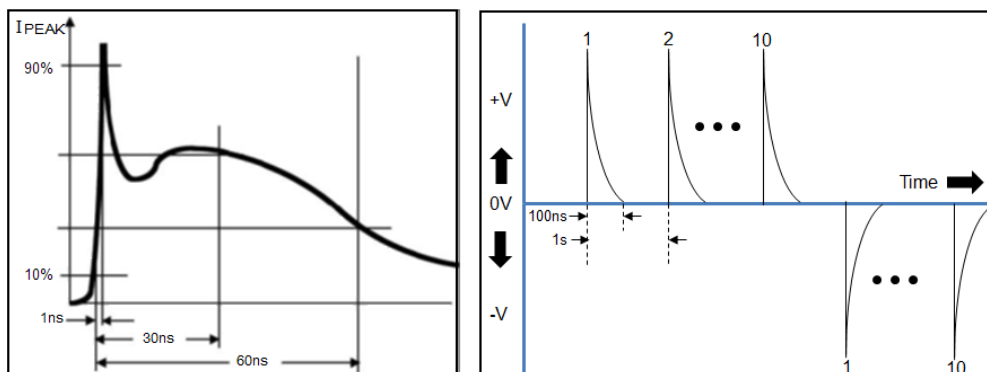
```
void HardFault_Handler(void)
{
    /* Go to infinite loop when Hard Fault exception occurs */
    while(1)
    {
        NVIC_SysReset();
    }
}
```

- 多次确认边沿触发事件信号
 - 在中断执行函数里面多次读取触发信号寄存器值，判断是否为干扰触发。对应某种均匀分布的干扰信号，可以在两次读数之间进行随机延迟处理。

8 抗 ESD 设计要点

ESD 是“Electro-static discharge”的缩写，意为“静电放电”。是指具有不同静电电荷电位的物体相互靠近或直接接触引起的电荷转移。简单说就是电荷瞬间从一个物体移到另一个物体上，形成一个电荷转移过程的现象，即具有不同静电电动势（电位差）的物体或表面之间的静电电荷转移，就是静电放电。在 EMC 领域叫静电放电抗扰度试验，具体可参阅国际标准 IEC-61000-4-2/GBT-17626-2。其中分为接触放电和电磁场击穿介质放电。

图 18. ESD 电流强度放电测试波形



静电的影响：

静电不能被消除，只能被控制。当静电产生时，线路中会存在过电压，过电流以及电磁场。过电流会直接冲击损伤线路器件，由 ESD 产生的电磁场耦合到周围电路中，对电路正常工作产生干扰。对器件造成永久失效或者潜在失效状态。这些防不胜防的过程都会对芯片造成不同程度的损伤，导致芯片或产品性能有不同程度的下降。所以作为设计人员应及早做好措施策略尽量减少或避免静电现象给芯片带来的损伤，从而最大程度的减少损失。

8.1 保护器件的选择

8.1.1 保护器件选型要点

常用保护器件：瞬态二极管（TVS）和 ESD 二极管。

ESD 二极管与 TVS 二极管的工作原理是一样的，主要区别如下：

- 功率和封装不一样，选择 TVS 一般是看器件的功率和封装，选择 ESD 器件一般是看它的 ESD rating（HBM/CDM）和 IEC61000-4-2 的 LEVEL, 高速信号线路同时要考虑它的容值。
- ESD 主要是用来防静电，因此要求电容值低；TVS 做不到这点，它的电容值比较高。
- 它们的应用场合不同，TVS 一般用于初级和次级保护，而 ESD 主要用于板级保护。
- TVS 吸收能量大，主要用于电源输入端防浪涌，吸收瞬间浪涌电流对后级电路起到保护作用，ESD 二极管吸收能力小，但反应速度快，正负端接在电源和地上，公共端接在被保护引脚上起到释放静电的作用。

它们选型时主要考虑以下因素：

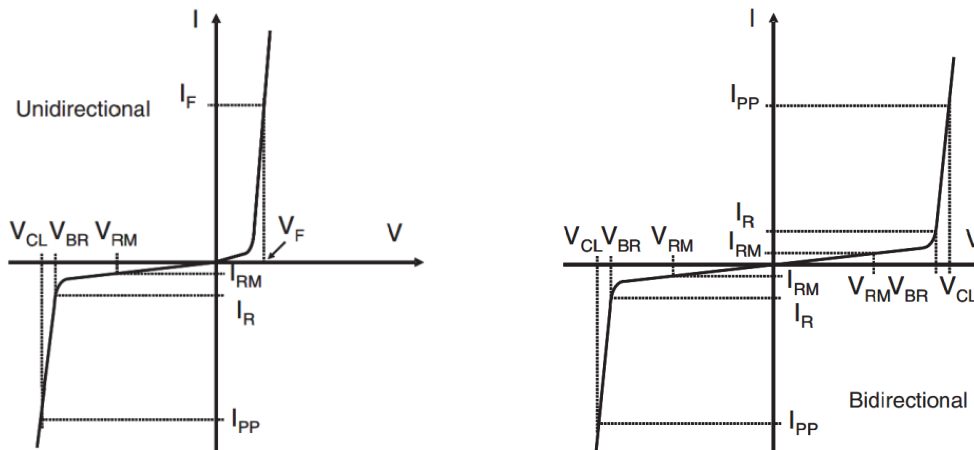
- 考虑受保护的信号是否有极性要求，确定是选用有极性的单向保护管还是无极性的双向保护管。
- 考虑信号的最大工作电压值，确定保护管的钳位电压值和最大峰值脉冲电流值。

- 考虑信号的工作频率、信号的上升时间、信号保护的截止频率，确定保护管的结电容值。
- 结合 PCB 设计条件等因素来选择合适封装的保护器件。

8.1.2 保护器件的工作特性图与主要参数简介

单向与双向这两种保护器件的工作特性图如下：

图 19. ESD/TVS 工作特性



反向关断工作电压 V_{RM} （也称 V_{RWM} ）：指保护二极管适用的最大标称工作电压。在该电压下，保护二极管将作为高阻抗元件，呈现“关断”状态，泄漏电流极低。该规范必须大于受保护信号的预期峰值工作电压。

反向击穿电压 V_{BR} ：在该电压下，保护二极管开始导通或“接通”。 V_{BR} 被指定为二极管应用的最小值，通常比 V_{RM} 高 10%到 15%。该规范始终高于 V_{RM} 并低于 V_{CL} 。

钳位电压 V_{CL} ：钳位电压决定了受保护 IC 信号将获得的电压。除 I_{PP} 之外，该参数是选择瞬态电压抑制器时需要考虑的最重要的参数之一。

峰值脉冲电流 I_{PP} ：最大反向峰值脉冲电流（通常指的是 $8 \times 20 \mu s$ 或 $10 \times 1000 \mu s$ 浪涌脉冲），器件能够承受而不发生损坏的最大浪涌电流。

电容 C ：电容是以高数据速率工作的应用重点关注的参数。高电容将降低信号质量，影响高速信号的完整性。以太网和高速 USB 等高速信号需要具有小容量电容的器件（通常小于 $5 pF$ ）。相反，对于需要保护的中/低速信号，较大容量的保护二极管电容器件实际上是有益的，有助于实现双重功效。

8.2 设计建议

在实际应用中 TVS 和 ESD 相辅相成，紧密相连，要根据实际情况选用，发挥各自优势。同时推荐用户从产品结构上做好静电的防护，用绝缘的材料把电路板密封在外壳内，让静电不能释放到电路板上。

8.2.1 原理图

普通 GPIO 线的滤波和保护：

静电瞬变干扰可以直接传导到 GPIO 线，也可以由电源路径输入到各个 GPIO 线，可以通过如下措施进行防护。

- 在 GPIO 线上添加 ESD 管。
- 添加 RC 滤波器，但要注意截止频率的选取。
- 通过包地保护、实体屏蔽。

对于从电路板外部输入到微控制器芯片的 GPIO 线，将 RC 滤波器靠近芯片引脚位置，ESD 管靠近信号输入端口放置。对于信号从芯片输出的 GPIO 线，将 RC 滤波器放置在远离电路板的连接端口。对于未使用的 GPIO 引脚，如果保持悬空，请在软件中设置为输出模式并输出低电平。如果不悬空，可通过 10 k Ω 电阻连接到地。

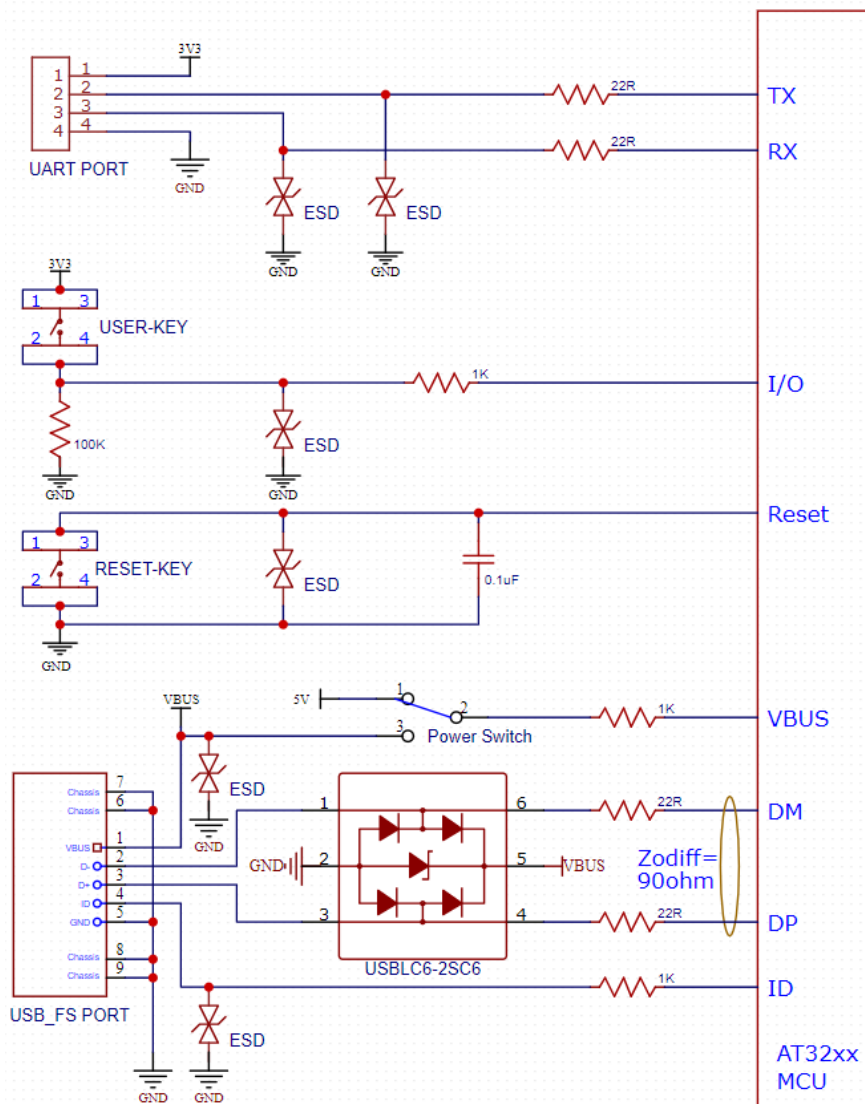
关键信号线的滤波和保护：

- 对于 I²C 和 SPI 通讯线路，可以在线路上串接电阻。串接电阻和走线、引脚的寄生电容形成低通滤波器，可以过滤高频噪声。串接电阻靠近引脚放置，典型值为 100 Ω ~ 330 Ω 。同时可以安装上拉电阻，上拉电阻的值需要根据串接电阻、时钟速度和信号电平确定。
- 在 I²C 和 SPI 线上加滤波电容可以滤掉高频噪声，但需要特别小心，该电容会影响信号完整性，要确保添加电容导致的信号上升时间和下降时间是否符合要求。
- 对于 UART 通讯线路，可以串接电阻，增加 ESD 管以及使用隔离转换器件进行端口保护。
- 对于复位和中断输入线路，可以增加 RC 网络，以保护不被瞬变噪声误触发。如前所述通过改变边沿触发为电平触发、在中断函数里面多次判断触发信号可以增强系统 ESD/EFT 性能。在复位线上添加上拉电阻和下拉电容，并将其靠近 NRST 引脚放置可以有效滤除高频噪声。

常用的信号线接口 ESD 保护电路设计举例：

以下列举的是常见信号线 ESD 防护应用电路，用户设计时可以参考。图中的 ESD 保护管推荐用户选择类似于 willsemi（韦尔）公司的 ESD5311N-2/TR 型号，它在 3 V ~ 5 V 线路系统中是一个常见的单线双向超低电容的瞬态电压抑制器件，专用于数据信号接口保护，使其免受 ESD 引起的损害，具体参数值可查看器件的数据手册。

图 20. 常见信号线 ESD 防护应用电路



8.2.2 PCB 设计

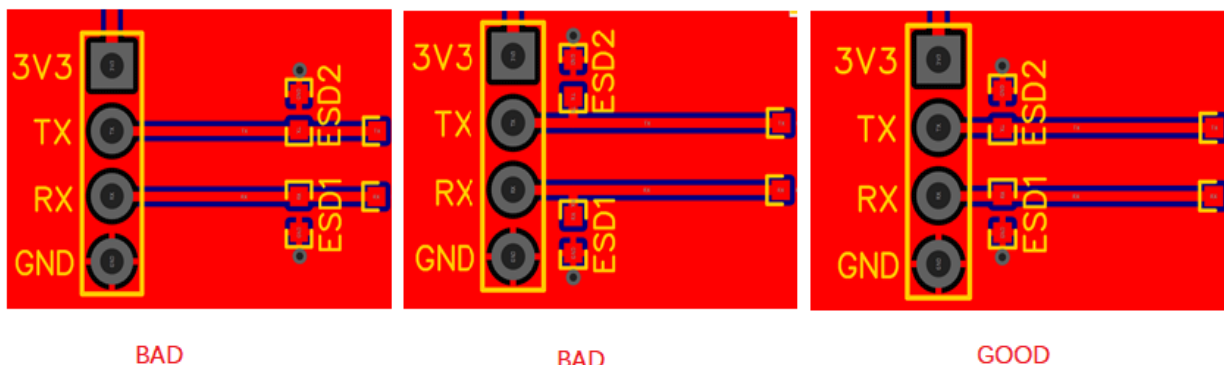
本章节在遵循第7章所述规则的基础上作特别提示。

PCB 布局:

为确保良好的 ESD 性能,设计 PCB 前需要考虑一些基本规则:

- 电流要尽可能局部性返回到电源,即确保途径环路面积最小。PCB 布局需要提供短距离低阻抗通道,使干扰噪声顺利返回来源,如果路径阻抗较大,噪声会传导至后端微控制器芯片及其它电路部分。
- 将电路按功能分组布局:模拟、数字、电源和 GPIO。敏感器件,如控制器、晶振等应当远离 PCB 边沿。
- 所有 AT32 的 MCU 芯片的 V_{SSA}/V_{SS} 和滤波旁路电容接地连接均应直接(而不是通过接地线)连接到地平面,并且置于电路板上芯片所在的一侧。
- 所有 ESD 管上的接地连接必须直接(而不是通过接地线)连接到地平面,以最大限度地降低电感。此外,它们应尽可能靠近外部插孔连接器和开关放置。

图 21. ESD 管布局方式比较

**特别提示：**

- 不要使用跳线器或者 $0\ \Omega$ 电阻连接地平面，对于瞬变信号它们会增加返回路径的电感。
- 敏感器件，如微控制器芯片、晶振不要放在 PCB 边沿。
- 尽可能多的使用等距过孔连接不同的接地层，以减少电感。

8.2.3 软件设置

ESD 的干扰除了以上所言需要硬件阻隔外，往往也需要配合软件的设置，使芯片内部模块工作在较佳的状态，同样可以增强对 ESD 的抗干扰能力。特别在系统时钟的选择和 PLL 的设置对抗 ESD 能力，两者有一定的影响力。

系统时钟选择：

在应用许可的情况下，尽量选择 HICK 内部时钟作为系统时钟源或 PLL 的输入。内部时钟位于芯片内部相对外部时钟 HEXT 受到较良好保护，没有暴露在外的电源或接口，外部干扰对其影响较轻微，可以提供稳定的系统时钟。

PLL 设置：

若必须使用 HEXT 作为 PLL 输入时，高频干扰杂讯可能会经由 HEXT_IN/HEXT_OUT 口窜入，耦合到 PLL 的 VCO 输出并进入系统时钟，此类高频干扰杂讯一般都带超出芯片逻辑可以正常工作的频率成份，从而引起 hard fault 事件、死机或跑飞等意外状况。此种干扰形态经实测可以透过加大 PLL 的后分频配置值（PLL_FR）有效改善，因为后分频可以对 PLL 受干扰时的 VCO 瞬间高频输出有除频或平均的作用，可以供应相对较平稳的时钟给系统使用。

因此，在符合 PLL 各项配置规格的条件下，尽量加大 PLL_FR 也是一个提高芯片抗干扰能力的方式。另外若 PLL 输入使用 HICK 虽然先天上已有较好的抗干扰能力，建议也是比照设置较大的 PLL_FR 值最稳当。

8.3 芯片使用和存储过程中的 ESD 防护措施

芯片属于 ESD 敏感产品，雅特力在设计和制造阶段都有充分考虑做好 ESD 防护，但同时用户在使用和存储过程中也要重视对芯片的保护，特别是静电方面的破坏。

芯片在使用期间的防静电措施：

- 穿防静电服，防静电鞋，戴防静电手腕带。
- 安装防静电工作台垫，防静电瓷质地板砖，防静电陶瓷纲基复合活动地板等。
- 利用带离子发生器的静电消除设备。

作用都是将人体静电导走，避免积累在人体身上。

特别提示：应杜绝没做任何防护措施的人员裸手触碰芯片引脚。

芯片在存储期间的防静电措施：

- 将器件始终存放在原始的装箱中，直到生产线的最后一刻。
- 如果使用较大的包装盒近距离运送器件或 PCB 板，则盒子必须导电，例如含碳类型的材料。
- 避免使用高电介质材料（如聚苯乙烯）进行部件的装配，存储和运输。

设备和工具的防静电措施：

- 使用电离鼓风机来抵消非导电材料的静电。
- 必须使用能良好接地的各种烙铁。
- 在测试和应用中使用适当的电源。
- 插入和拔出插座应当在断电情况下执行。

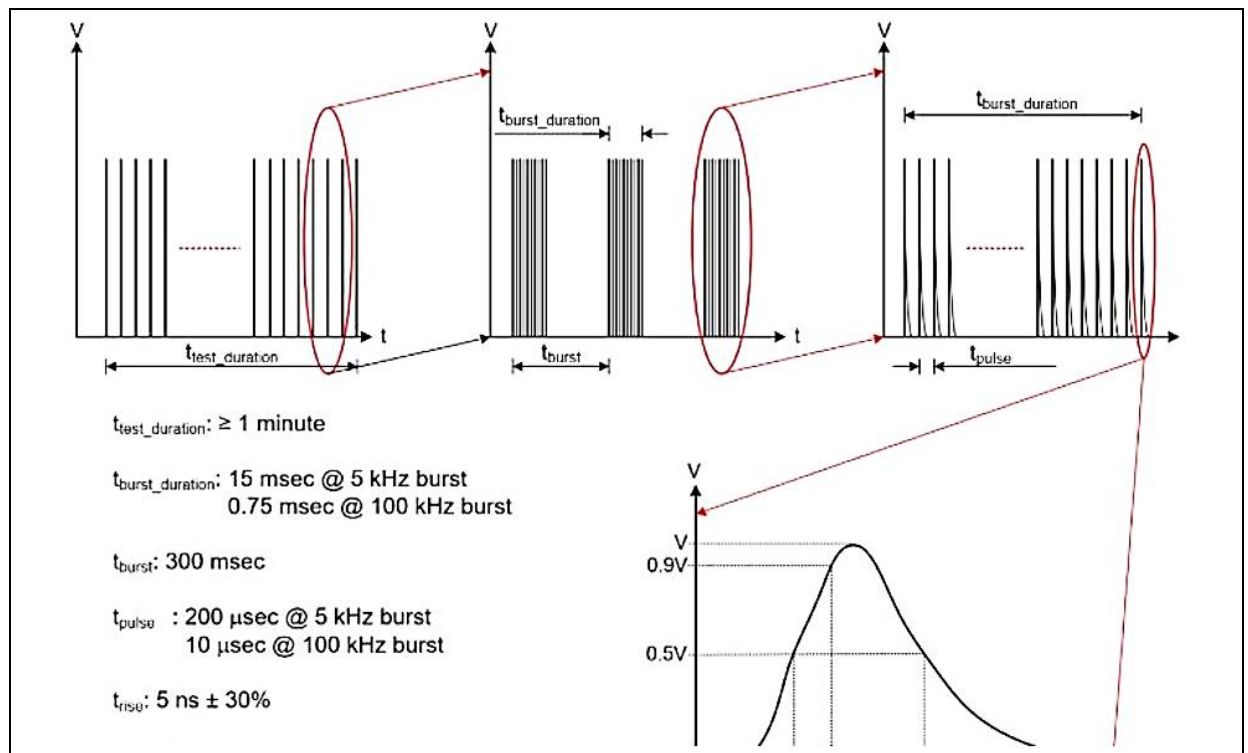
此外，在各个环节和工作区域都应做好防静电的标识，定时检查，让每个员工都能意识到静电防护的重要性。

9 抗 EFT 设计要点

EFT 是“Electrical Fast Transient”的缩写，意为“快速脉冲群”。在进行标准的 EFT 测试时，是要把干扰脉冲从设备外部耦合到内部，同时监视设备的工作状态。这测试主要目的产品在复杂的电磁环境中耐受快速脉冲群的能力，模拟附近感性开关的断开。例如，有时候我们将感性开关打开时，会有火花，当时的脉冲电压能够达到 2 ~ 4 kV，此种电压对附近的产品会造成干扰。

这种测试是一种耦合到电源线路、控制线路、信号线路上的由许多快速瞬变脉冲组成的脉冲群测试。电快速脉冲群是由间隔为 300 ms 的连续脉冲串构成，每一个脉冲串持续 15 ms，由数个无极性的单个脉冲波形组成，单个脉冲的上升沿 5 ns，持续时间 50 ns，重复频率 5 kHz。

图 22. EFT 干扰波形



9.1 故障类型

电快速瞬变引发的噪声信号将通过交流电源线、直流电源和信号线路耦合到终端设备。如果不采取适当的过滤处理，噪声会传导至微控制器芯片引发系统故障。

瞬变引发的噪声对以下部分影响最大：

- 电源和地
- 复位电路
- 时钟和晶振电路组
- 通信电路，如 I²C/SPI
- 高频数字信号和模拟信号

EFT 测试时产生的故障类型如下：

- 复位

造成微控制器芯片复位的原因是多样的：

- 复位引脚上瞬变噪声可以触发外部复位
- 电源被干扰引发掉电复位或者上电、低电压复位
- 程序死机触发看门狗复位

上电、欠压和掉电复位可能发生在如下情况：

- 电源被干扰下拉了供电电压
- 瞬变噪声改变了接地参考电压
- 瞬变噪声触发了 GPIO 上的 ESD 钳位电路，使后端对微控制器芯片供电电压降低，从而引发低电压复位

- 代码跳转到未知地址或进入 HardFault

- 闩锁

- 瞬变噪声引发接地反弹或者接地参考电压变化可以使 CMOS 电路进入闩锁状态，从而使电路无法运行。

- 通信故障

- 通讯故障的引发一般是信号完整性被破坏，或者造成了通讯模块硬件故障。

- 模拟和数字信号完整性破坏

- 瞬变噪声干扰数字信号，造成信号毛刺，这些毛刺会被当做有效的数据脉冲。在模拟信号上出现的瞬变噪声会导致数据失真。在极端情况下瞬变事件可以改变微控制器芯片输入输出端口的状态，造成错误的控制信号。

9.2 故障原因

如果能够确定故障原因和故障点，就可以针对性的设计，以确保 EFT 抗扰度性能。

一些故障排除提示：

- 排查复位问题时，先检测微控制器芯片供电电源情况。通过测试程序读取 RCC 状态寄存器判断复位类型。
- 如果发生了某个闩锁，请检测芯片的耗电是否超过了常规值。
- 对于信号和时钟问题，请检测相关 GPIO 引脚是否出现瞬变噪声。

在使用示波器排查 EFT 问题时，请使用隔离示波器。否则，示波器接地会分流噪声信号，从而使分析结果不准确。

9.3 设计建议

9.3.1 原理图

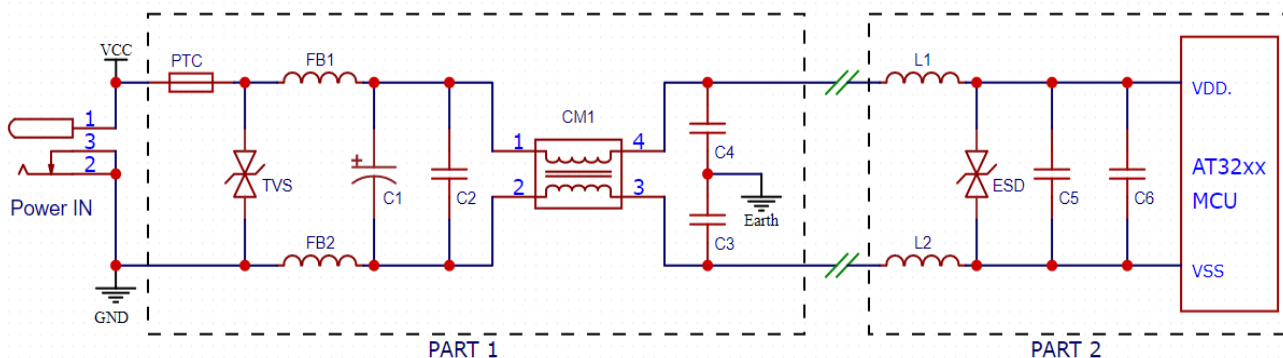
雅特力推荐用户在产品的电源线输入端使用 TVS 管器件来提高电路的 EFT 抗干扰能力。

TVS 瞬态抑制二极管，它的电容值比 ESD 管要略高，响应时间也比 ESD 管要略慢，但 TVS 管的峰值电流相比于 ESD 管要大，具有强大的浪涌吸收能力，所以主要用在电源线输入端用来吸收浪涌作用。

电源线的滤波和保护举例：

电源路径是产生瞬变噪声的常见输入点。设计中要确保对电源电路进行了可靠的瞬变噪声抑制。下图是滤波器组件在电源路径的相对位置。在实际系统中选择安装合适的滤波组件，以达到系统要求的 EFT 等级即可。

图 23. 电源滤波及保护推荐电路



PART1 部分要靠近电源入口放置，PART2 部分要靠近芯片放置。

- PTC：自恢复保险丝。
- FB1、FB2：铁氧体磁珠。
- TVS：TVS 二极管。器件选型的要点请参照第八章保护管选型要点章节。
- C1：旁路电容，典型值：0.1 μF ~ 1 μF 。
- C2：储能电容，典型值：10 μF ~ 100 μF 。
- CM1：共模扼流圈，典型值：2 mH ~ 10 mH。
- C3、C4：连接到外壳的旁路电容，典型值：0.1 nF ~ 1 μF 。
- L1、L2：电感，典型值：4.7 μH 。
- ESD：静电保护管，典型值：ESD5311N-2/TR。
- C5：滤波器电容，典型值：1 μF 。
- C6：去耦电容，典型值：0.01 μF ~ 0.1 μF 。

9.3.2 PCB 设计

本章节在遵循第7章所述规则的基础上作特别提示。

PCB 布局:

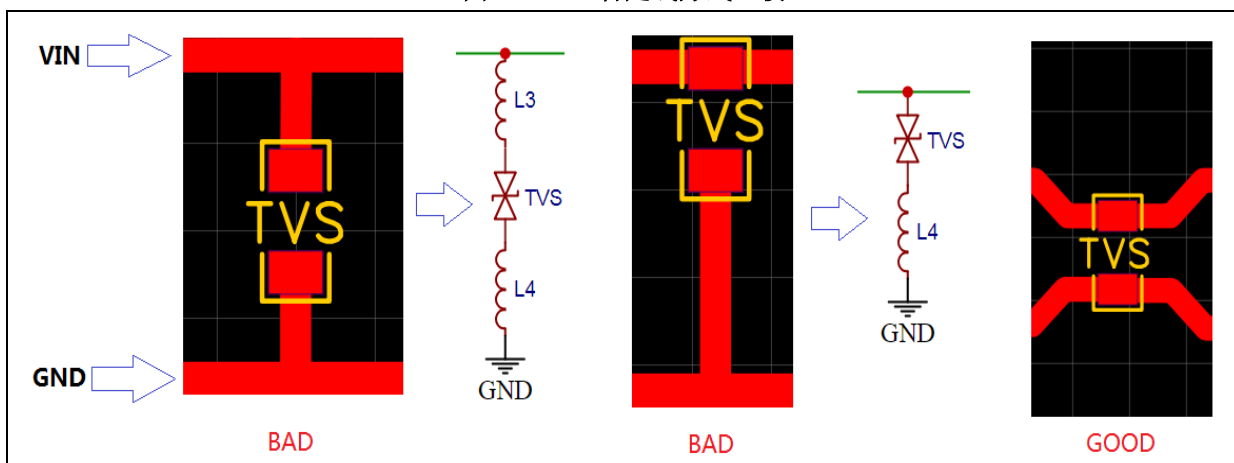
为确保良好的 EFT 性能，设计 PCB 前需要考虑一些基本规则：

- 电流要尽可能局部性返回到电源，即确保途径环路面积最小。PCB 布局需要提供短距离低阻抗通道，使干扰噪声顺利返回来源，如果路径阻抗较大，噪声会传导至后端微控制器芯片及其它电路部分。
- 将电路按功能分组布局：模拟、数字、电源和 GPIO。敏感器件，如控制器、晶振等应当远离 PCB 边沿。
- 所有 AT32 的 MCU 芯片的 V_{SSA}/V_{SS} 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上芯片所在的一侧。
- 所有 TVS 管上的接地连接必须直接（而不是通过接地线）连接到地平面，以最大限度地降低电感。此外，它们应尽可能靠近外部插孔连接器和开关放置。

走线阻抗:

对于高频信号，每条走线均包含了串联阻抗、串联电感和与信号回路间的分布电容。对于抑制 EFT 干扰，走线电感会限制去耦电容与 TVS 管的有效带宽，而且当微控制器芯片需要去耦电容补充浪涌电流时，走线电感还会起到阻碍作用。因此，布局 and 布线需要考虑使得这些滤波器件和保护器件的串联阻抗、串联电感最低。

图 24. TVS 管走线方式比较

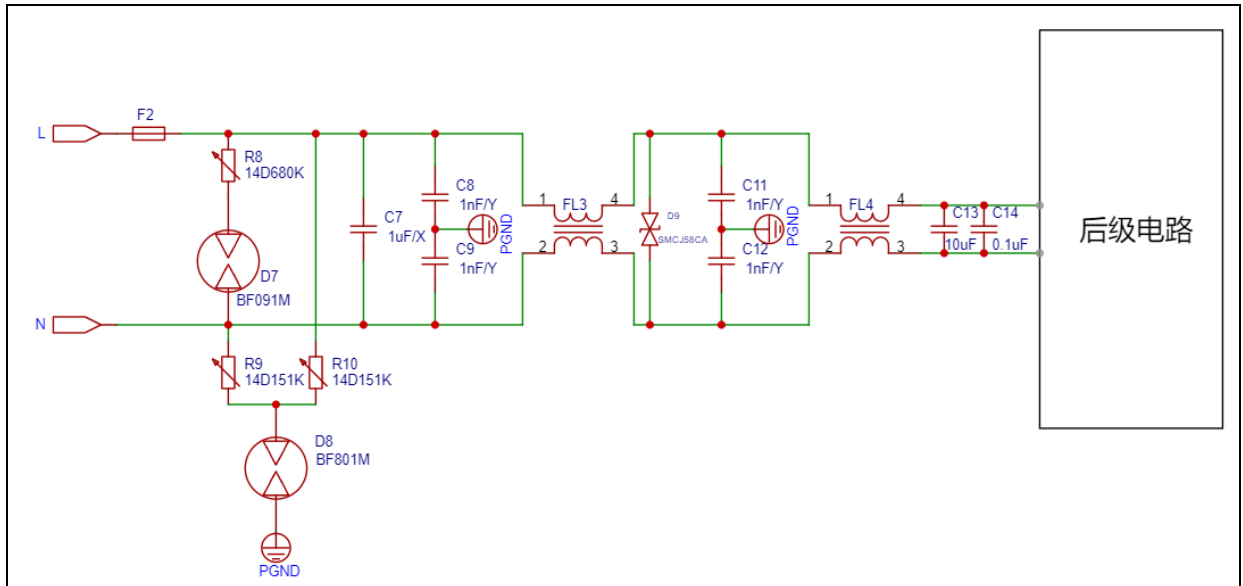


接地:

最佳的接地是提高 EFT 性能的最重要设计之一。接地环路是传播瞬变干扰的主要因素，传输线中的阻抗会造成两个器件间的电压差。最优的方式是增加地平面，出于成本考虑也可以在敏感器件下提供局部地平面，最终原则是保证信号返回路径与电源间的连接最短。

特别提示，不要仅仅依靠铺铜来填充地线的连接，因为这样可能带来高阻抗的窄路径，不仔细检查很难发现这样的问题，建议先通过走线连接到接地路径，然后再铺铜填充。

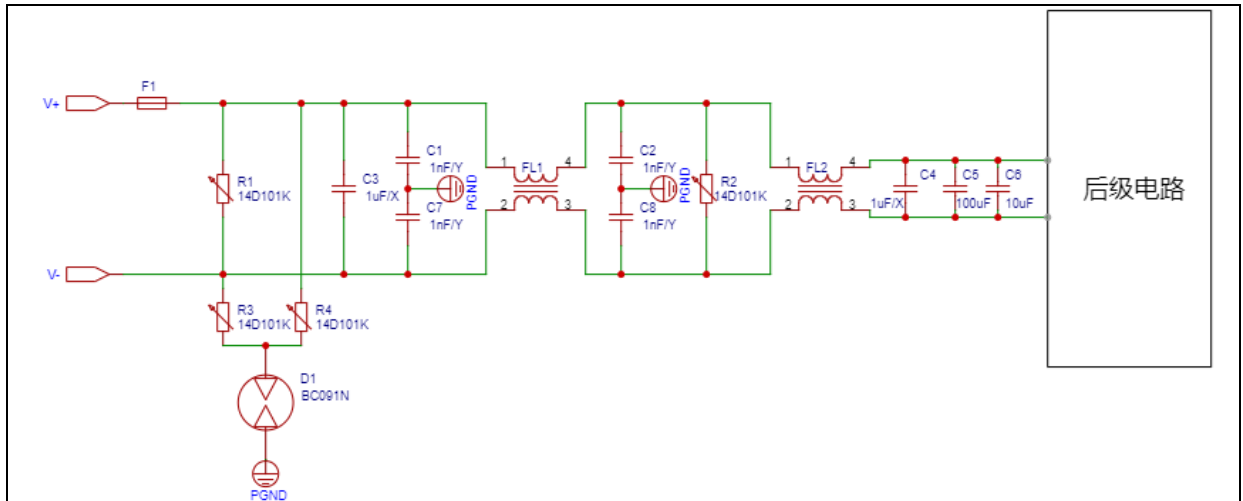
图 28. 24 V 交流电源



- 共模电感选型要考虑产品的工作电流。
- 此电路包含浪涌防护、ESD 防护、EFT、传导，可根据测试项目选择使用。
- D8 的选择要考虑绝缘阻抗测试电压。

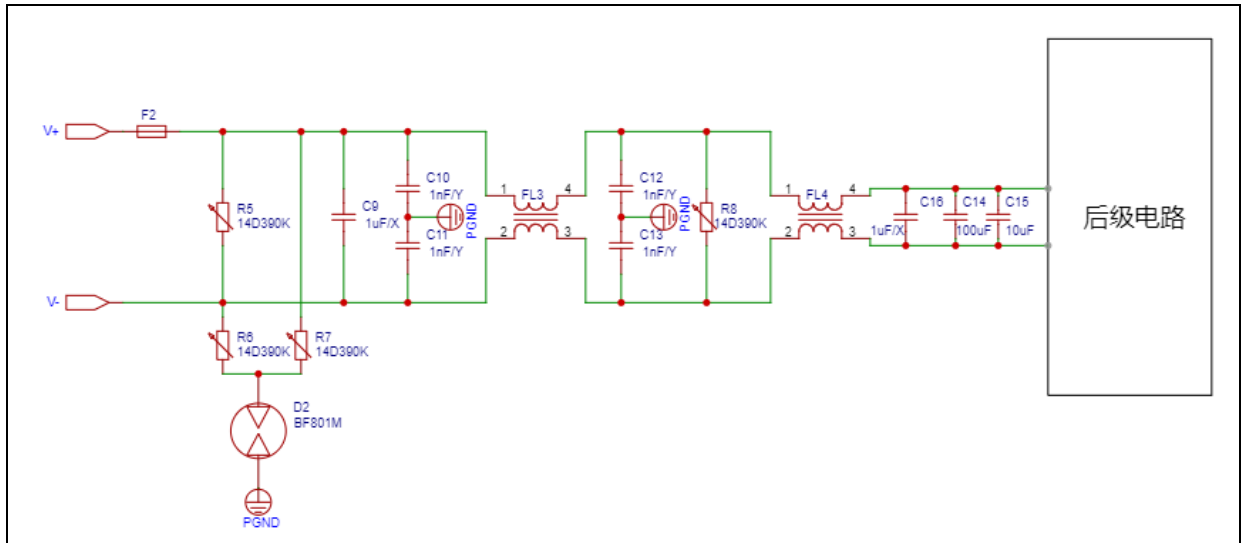
10.2 直流电源的 EMC 设计原理图示例

图 29. 48~72 V 直流电源



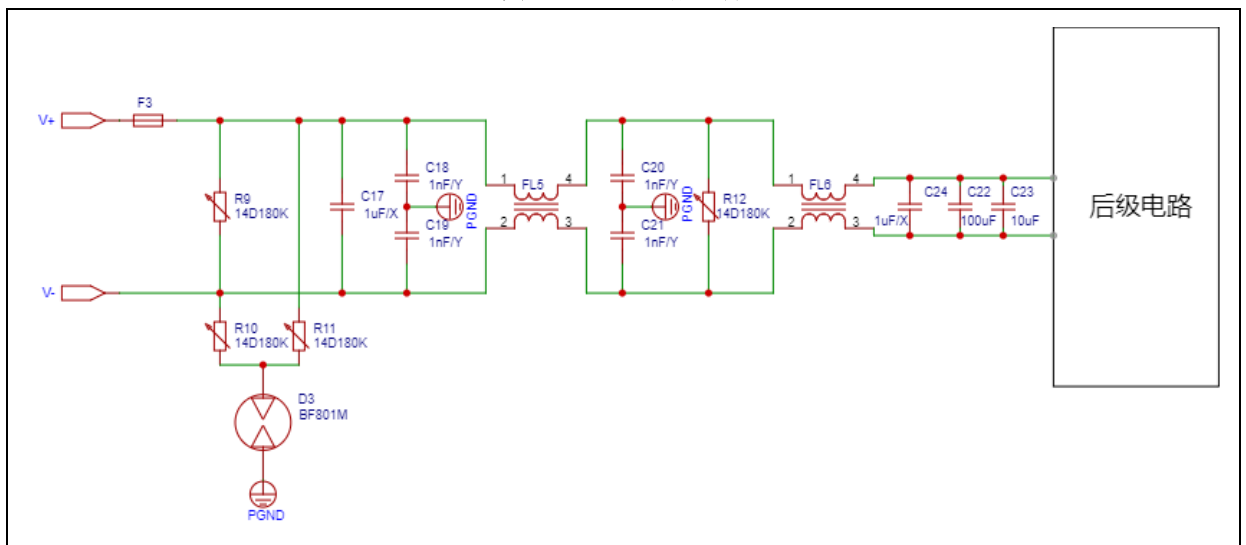
- 共模电感选型要考虑产品的工作电流。
- 此电路包含浪涌防护、ESD 防护、EFT、传导，可根据测试项目选择使用。
- D1 的选择要考虑绝缘阻抗测试电压。
- PGND 为机壳地。

图 30. 24 V 直流电源



- 共模电感选型要考虑产品的工作电流。
- 此电路包含浪涌防护、ESD 防护、EFT、传导，可根据测试项目选择使用。
- D2 的选择要考虑绝缘阻抗测试电压。
- PGND 为机壳地。

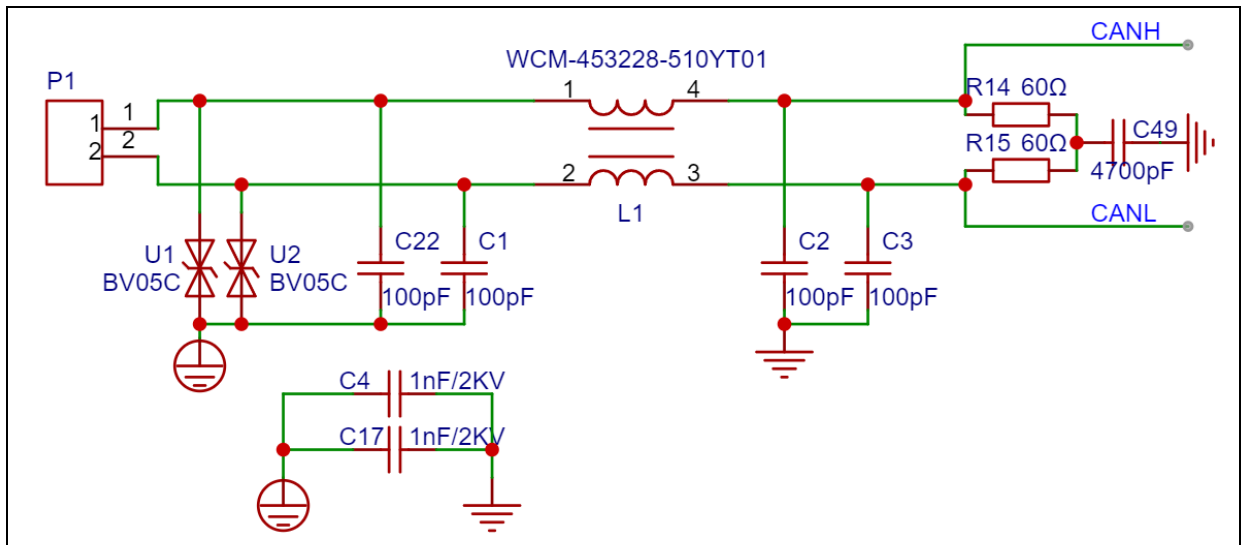
图 31. 12 V 直流电源



- 共模电感选型要考虑产品的工作电流。
- 此电路包含浪涌防护、ESD 防护、EFT、传导，可根据测试项目选择使用。
- D3 的选择要考虑绝缘阻抗测试电压。
- PGND 为机壳地。

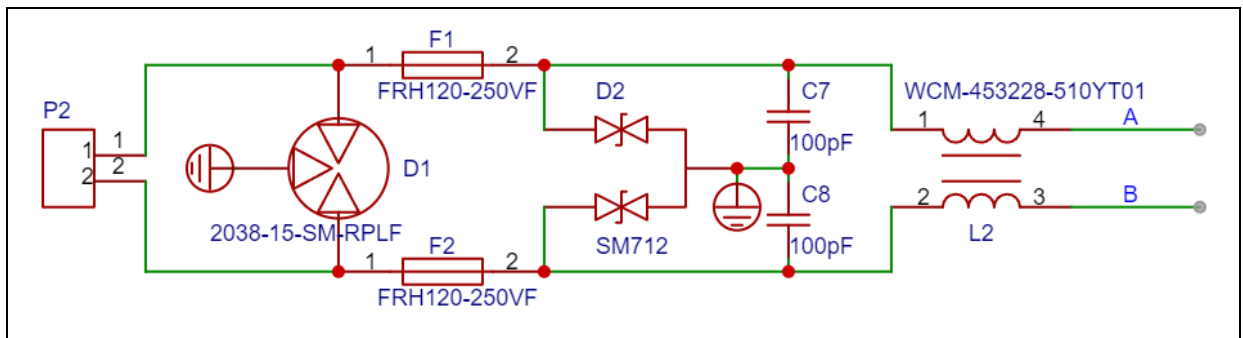
10.3 信号接口的 EMC 设计原理图示例

图 32. CAN 接口



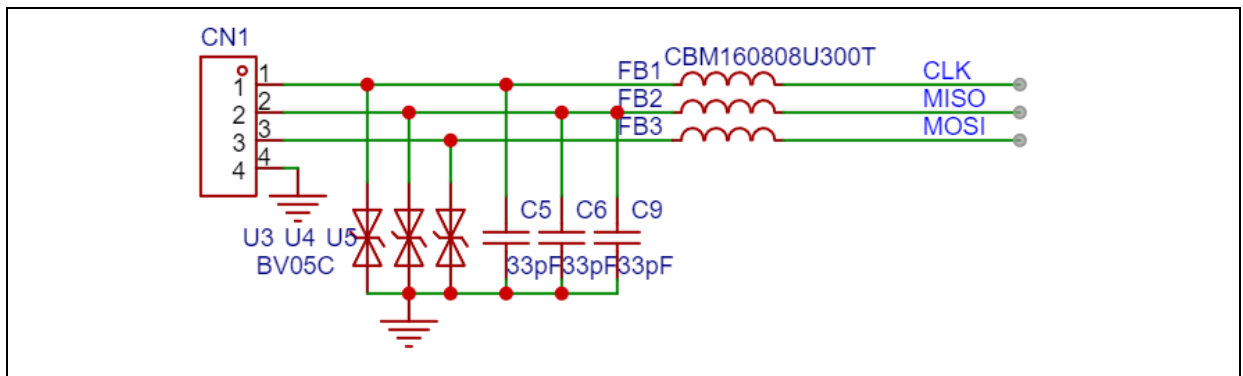
- TVS (U1/U2) 与 C1/C22 接机壳地且靠近外部连接器接口放置。
- 共模电感 L1 下方不要覆地。

图 33. RS485 接口



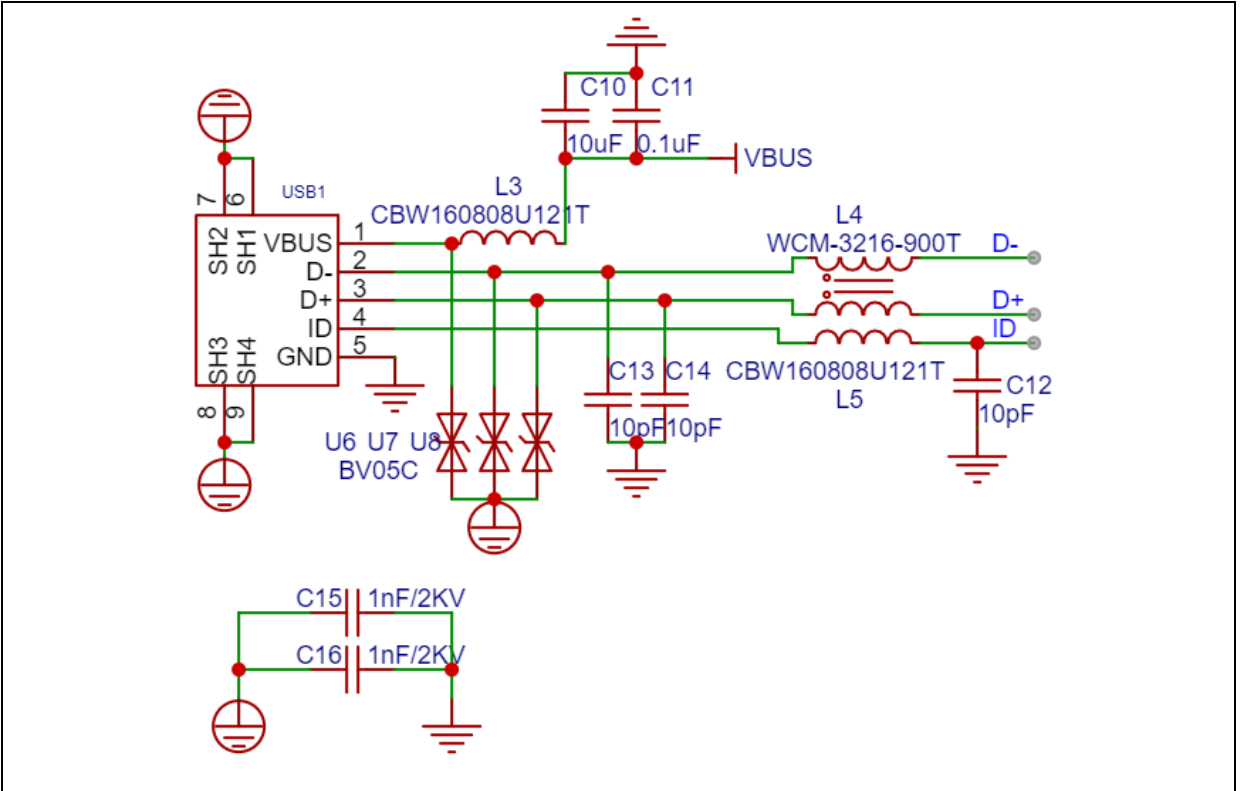
- D1/D2/C7/C8 接机壳地且靠近外部连接器接口放置。
- 共模电感 L2 下方不要覆地。

图 34. SPI 接口



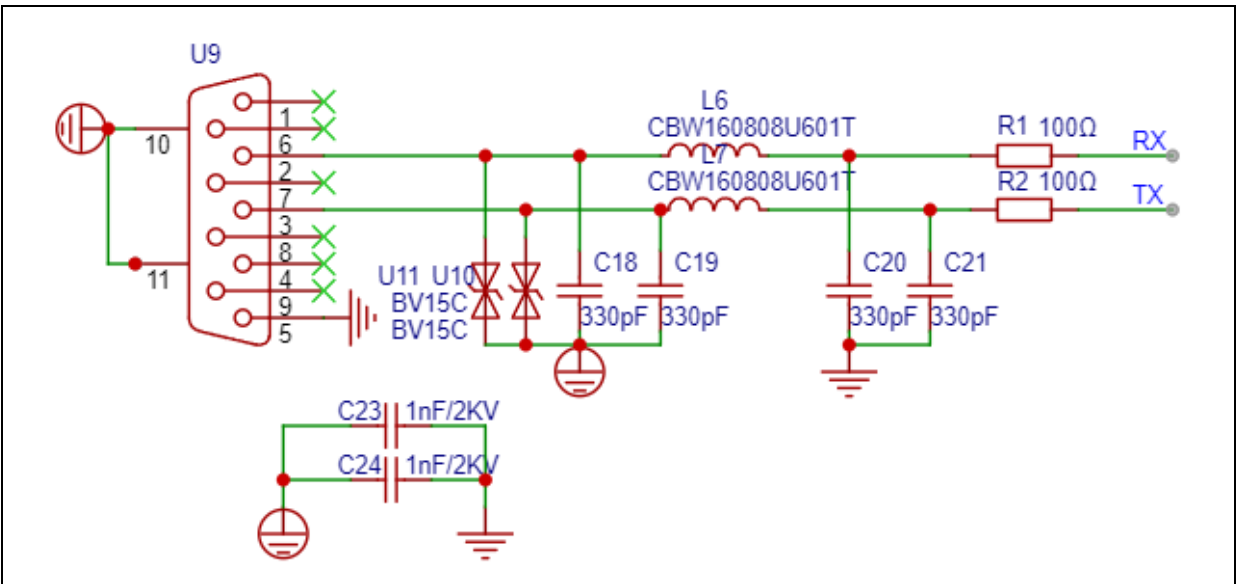
- FB1/FB2/FB3、C5/C6/C9 可根据测试结果调整。

图 35. USB2.0 接口



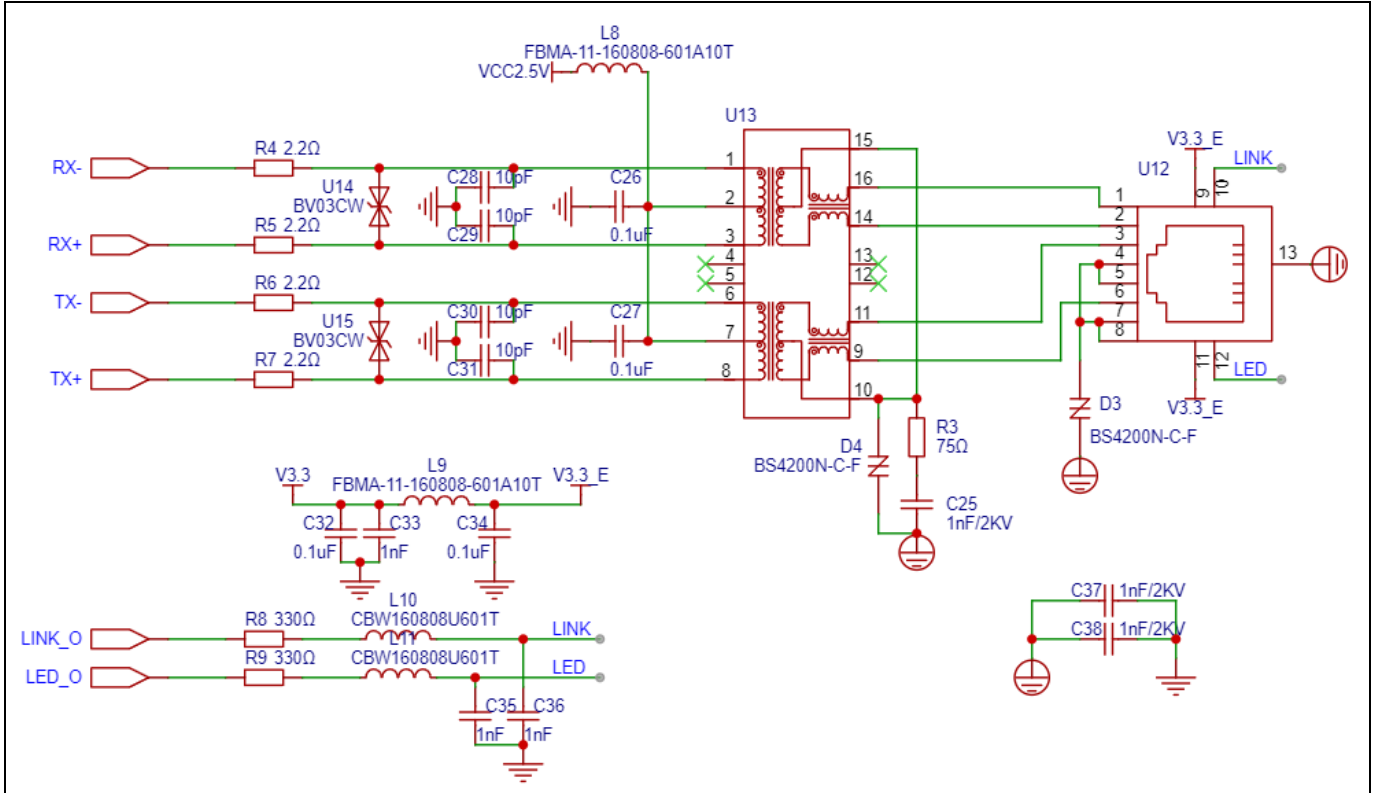
- C13/C14 需根据测试结果来调试，建议不大于 10 pF。
- 如果产品没有金属外壳，PGND 与 GND 连接。
- TVS 可以选择阵列式。

图 36. RS232 接口



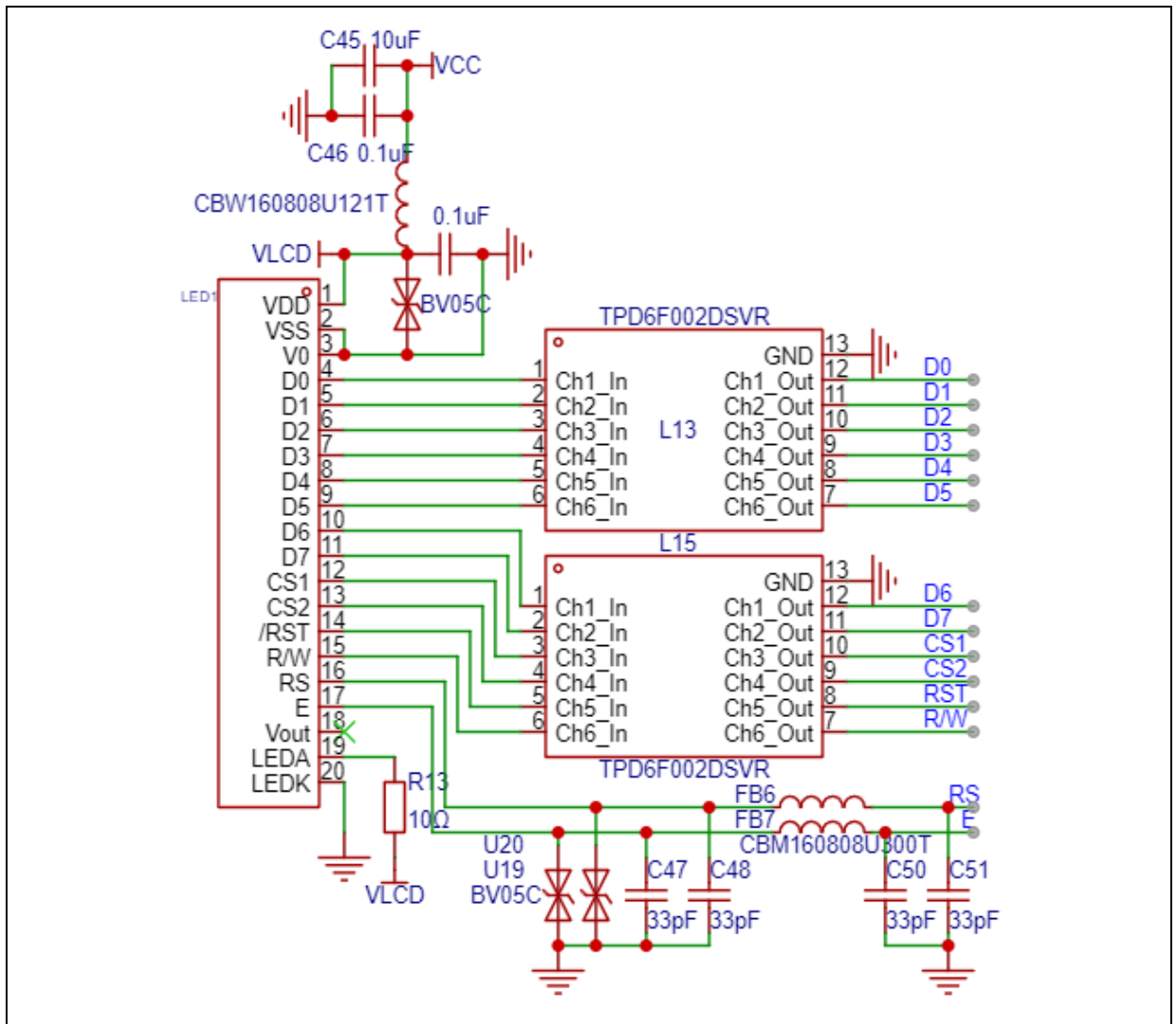
- R1/R2 可根据实际情况调整。
- TVS (U10/U11) 与 C18/C19 接机壳地且靠近外部连接器接口放置。

图 37. 10/100M 以太网接口



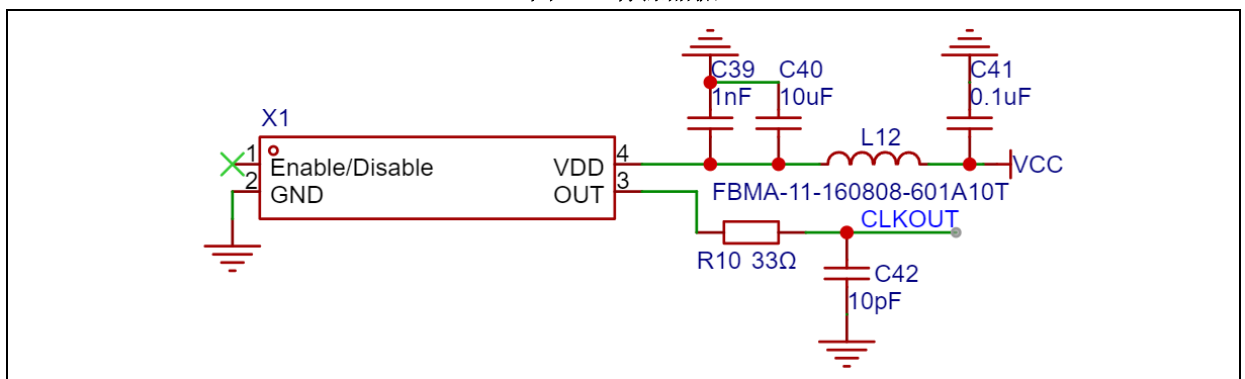
- C28/C29/C30/C31 为预留设计。
- 差分对两条信号走线尽可能相同，并与其它信号保持 3W 距离。

图 38. LCD 接口

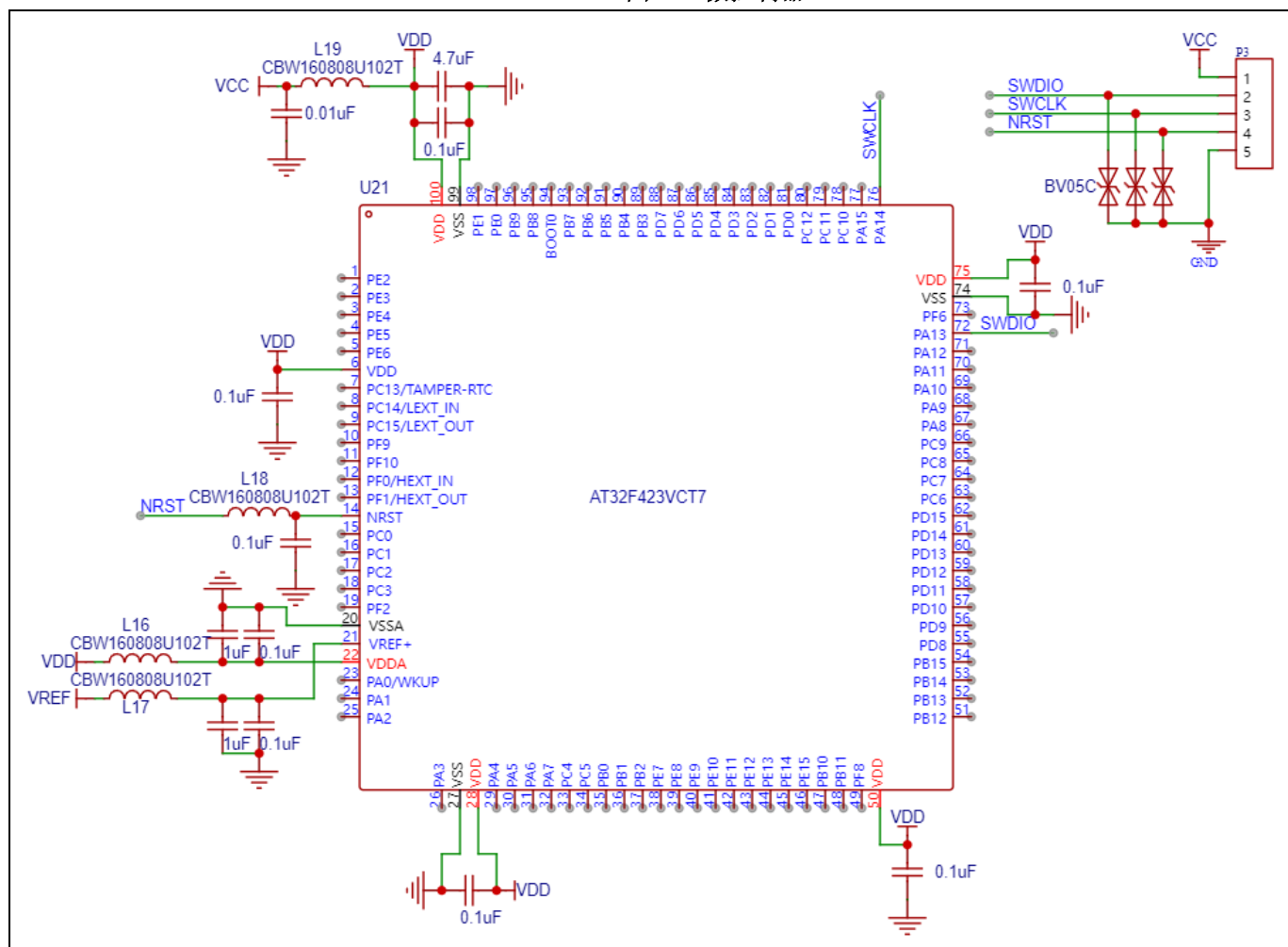


- TPD6F002DSVR 为具有 ESD 保护的 EMI 滤波器。
- TVS 和滤波器靠近接口放置。
- LCD 排线视情况考虑加屏蔽罩。

图 39. 有源晶振



- R10/C42 为预留设计，根据实际情况调整。



- MCU 所有 V_{SS}/V_{SSA} 和旁路电容地应直接连接到地平面，而不是通过接地线。
- 旁路电容尽可能靠近引脚放置。
- 其余设计注意事项请参考第 7 章到第 9 章内容。

11 典型故障

此章节对微控制器芯片在现场使用时发生的一些故障现象作特别提示，以便快速定位问题根源。

11.1 在产品使用或者老化过程中偶发微控制器芯片的 V_{DD} 引脚与 V_{SS} 短路

表现：系统无法运行，微控制器芯片异常发热，整机功耗变大，用万用表测试 V_{DD} 与 V_{SS} 短路。

检查：

- V_{DD} 供电电压是否超过规定最大值，或者是否临近最大值？
- 系统开机瞬间 V_{DD} 是否有过冲且过冲电压超过规格最大值？
- 系统中感性负载（如继电器、电机）动作时是否产生冲击电压或冲击电流？
- 静电放电造成微控制器芯片损坏？

11.2 在产品使用或者老化过程中偶发 GPIO 损坏

表现：微控制器芯片异常发热，整机功耗变大，用万用表测试 GPIO 引脚与 V_{DD}/V_{SS} 短路或不能正常输出高低电平。

检查：

- GPIO 输入电压或上拉电压是否超过该 GPIO 规定最大值？
- 系统开机瞬间 V_{DD} 是否有过冲且过冲电压超过规格最大值？
- 系统中感性负载（如继电器、电机）动作时是否产生冲击电压或冲击电流？
- 生产测试工艺不完善。如测试过程中存在电路板堆叠，而板载高压储能电容放电不完全的情况下短路到微控制器芯片的 GPIO 造成损坏？
- 静电放电造成 GPIO 损坏？

11.3 晶振不启振或频率输出异常

表现：示波器量测外部晶振引脚无波形输出或输出频率异常，调试代码后发现 STBL 标志位未置起。

检查：

- 若为无源晶振，检查匹配电容是否符合规格？若为有源晶振，检查供电电压是否符合规格？
- 晶振走线是否过长？是否反复穿层走线？是否被其它高频电路干扰？
- 晶振频率是否超过微控制器芯片规定规格？
- 晶振是否虚焊？附近线路是否有生产后残存助焊剂？
- 软件是否开启 HEXTEN/LEXTEN 或检查 STBL 超时设置太短？

11.4 ADC 采集数据误差大

检查：

- V_{DDA}/V_{REF+} 供电是否干净？
- 信号输入阻抗是否过大？是否设置足够采样时间？
- ADC 时钟和采样速率设置是否合理？
- 检查软件代码配置。检查是否为 DMA 配合问题以致乱序？
- 其它 ADC_IN 引脚是否有超过 $V_{DD} + 0.3\text{ V}$ 的电压？
- 是否信号来源即不干净？
- 是否软件需要加入合适算法滤波？

12 文档版本历史

表 4. 文档版本历史

日期	版本	变更
2021.5.5	1.0.0	最初版本
2021.12.22	1.0.1	新增ESD防护内容
2022.2.25	2.0.0	1. 修正少数PVM描述寄存器名词 2. 补充2.1中必须使用HEXT的相关说明
2022.5.13	2.0.1	新增7.2 QFN封装电路板EPAD焊盘设计要点
2022.11.29	2.0.2	新增8.2.3和9.3.3抗干扰软件设置
2023.5.2	2.0.3	1. 新增2.1 HEXT驱动功率说明 2. 新增7.1.3 USART/UART硬件建议
2023.10.23	2.1.0	新增EMC典型硬件电路设计章节

重要通知 - 请仔细阅读

买方自行负责对本文所述雅特力产品和服务的选择和使用，雅特力概不承担与选择或使用本文所述雅特力产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为雅特力授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在雅特力的销售条款中另有说明，否则，雅特力对雅特力产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途(及其依据任何司法管辖区的法律的对应情况)，或侵犯任何专利、版权或其他知识产权的默示保证。

雅特力产品并非设计或专门用于下列用途的产品：(A) 对安全性有特别要求的应用，例如：生命支持、主动植入设备或对产品功能安全有要求的系统；(B) 航空应用；(C) 航天应用或航天环境；(D) 武器，且/或 (E) 其他可能导致人身伤害、死亡及财产损失的应用。如果采购商擅自将其用于前述应用，即使采购商向雅特力发出了书面通知，风险及法律责任仍将由采购商单独承担，且采购商应独立负责在前述应用中满足所有法律和法规要求。

经销的雅特力产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致雅特力针对本文所述雅特力产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大雅特力的任何责任。

© 2023 雅特力科技 保留所有权利