

Migrating from GX32F130 to AT32F421

前言

这篇迁移指南旨在帮助您分析从现有的GX32F130器件迁移到AT32F421器件所需的步骤。本文档收集了最重要的信息，并列出了需要注意的重要事项。

要将应用程序从GX32F130系列迁移到AT32F421系列，用户需要分析硬件迁移和软件迁移。

支持型号列表：

支持型号	AT32F421xx
------	------------

目录

1	AT32F421 与 GX32F130 异同	4
1.1	相同点概述	4
1.2	差异点概述	4
2	硬件迁移	5
3	软件迁移	6
3.1	外设对比	6
3.2	存储器映射	6
3.3	功能区别	6
3.3.1	CRM	6
3.3.2	DMA	7
3.3.3	中断向量	7
3.3.4	GPIO	7
3.3.5	ADC	8
3.3.6	USART	8
3.3.7	CRM PLL	8
3.3.8	FLASH	8
3.3.9	RTC	8
3.3.10	PWC	8
3.4	功能增强	9
3.4.1	高频 PLL 设定	9
3.4.2	AT32F421 PLL 预分频器	9
3.4.3	安全库区保护	9
3.4.4	GPIO 5V 容忍管脚兼容	9
4	版本历史	10

表目录

表 1. 差异点概述.....	4
表 2. 硬件引脚相容性	5
表 3. 外设相容性.....	6
表 4. 存储器映射关系差异	6
表 5. CRM 差异	7
表 6. DMA 差异	7
表 7. 中断向量差异	7
表 8. GPIO 差异	7
表 9. ADC 差异	8
表 10. Flash 闪存存储器差异	8
表 11. 文档版本历史	10

1 AT32F421 与 GX32F130 异同

AT32F421系列微控制器基本兼容GX32F130系列，同时强化许多功能的关系，有些许地方与GX32F130不同，详述于本文档。

1.1 相同点概述

- 管脚定义：相同封装管脚定义相同。为扩增的外设作管脚复用定义延伸
- 编译工具：完全相同，例如Keil、IAR

1.2 差异点概述

表 1. 差异点概述

	AT32F421	GX32F130xC/xB/x8
内核	Cortex-M4（不支持 FPU）	Cortex-M3
电压范围	2.4 V~3.6 V	2.6 V~3.6 V
VBAT 供电	不支持	支持
系统时钟	主频 120 MHz, APB1 120 MHz, APB2 120 MHz	主频 48 MHz, APB1 48 MHz, APB2 48 MHz
启动程序代码区 (Boot Memory)	全系列 4 KB, 支持对闪存内容进行 CRC 校验	全系列 3 KB
闪存 16-bit 写入时间	37 us	>200 us
闪存扇区擦除时间	6.4 ms	100 ms
闪存整片擦除时间	8 ms	>3.2 s
SRAM 容量	依型号分 8/16 KB	依型号分 4/8 KB
SRAM 奇偶校验	无	支持
GPIO 锁定	全部 GPIO 皆可锁定	仅可锁定 PA 和 PB
PLL	可灵活配置 31 至 500 倍频和 1 至 15 分频系数	一般整数倍频配置
I2S	最多 2 组	无
32 位通用定时器	无	TMR2
基本定时器	TMR6	无
ADC	2 Msps (max ADCCLK = 28 MHz)	1 Msps (max ADCCLK = 14 MHz)
ESD 参数	HBM: 6 KV, CDM: 1000 V	HBM: 5 KV, CDM: 500 V
运行模式	7.62 mA@48 MHz	17.26 mA@48 MHz
睡眠功耗	5.81 mA@48 MHz	9.76 mA@48 MHz
深度睡眠功耗	210 uA	143.17 uA
待机功耗	3.6 uA	5.74 uA
温度范围	-40 至+105 °C	-40 至+85 °C
封装	最大 LQFP48	最大 LQFP64

2 硬件迁移

AT32F421与GX32F130的各对应的封装下引脚基本上相兼容，只有极少数的引脚存在差异，转化起来极其方便，详细信息如下表。

表 2. 硬件引脚相容性

AT32F421					GX32F130				
TSSOP20	QFN28	QFN32	LQFP48	引脚名	TSSOP20	QFN28	QFN32	LQFP48	引脚名
-	-	-	1	VDD	-	-	-	1	VBAT

3 软件迁移

3.1 外设对比

AT32F421在外设部分和GX32F130相对比有些外设还是存在有一定的区别，且有些相对来说算是一个全新的设计。故针对这些外设需在应用层级的程序开发中进行修改或参考新外设驱动进行全新开发。

表 3. 外设相容性

外设	AT32F421	GX32F130	兼容性	
			引脚排列	固件驱动
SPI	Y	Y	相同	部分兼容
WWDT	Y	Y	NA	完全兼容
WDT	Y	Y	NA	部分兼容
DEBUG	Y	Y	NA	部分兼容
CRC	Y	Y	NA	部分兼容
EXINT	Y	Y	相同	部分兼容
DMA	Y	Y	NA	部分兼容
TMR	Y	Y	相同	部分兼容
PWC	Y	Y	NA	部分兼容
USART	Y	Y	相同	不兼容
I2C	Y	Y	相同	部分兼容
ADC	Y	Y	相同	部分兼容
RTC	Y	Y	相同	部分兼容
FLASH	Y	Y	NA	部分兼容
GPIO	Y	Y	相同	部分兼容
CMP	Y	NA	NA	NA
SCFG	Y	Y	相同	部分兼容

3.2 存储器映射

AT32F421在架构上高度兼容于GX32F130，外设地址和总线的排列仅以下项目不同。

表 4. 存储器映射关系差异

外设	GX32F130		AT32F421	
	总线	基址	总线	基址
GPIOA		0x48000C00	NA	NA
DEBUG	APB2	0x40015800	CPU core	0xE0042000
TMR6	NA	NA	APB1	0x40001000
TMR2	APB1	0x40000000	NA	NA

3.3 功能区别

本章节描述AT32F421系列与GX32F130系列在各外设功能上的差异。

3.3.1 CRM

- AT32F421与GX32F130对比在CRM部分有以下区别。

表 5. CRM 差异

CRM	GX32F130	AT32F421
HICK	8 MHz RC	48 MHz RC 除频 6
HEXT	4-32 MHz	4-25 MHz
HICK14	14 MHz RC ADC 用	NA
HICK48	NA	48 MHz RC
CLKOUT	HICK14、LICK、LEXT、HICK、HEXT、PLL、PLL/2	ADCCLK、SYSCLK、LICK、LEXT、HICK、HEXT、PLL/2、PLL/4

3.3.2 DMA

- AT32F421与GX32F130对比在DMA部分有以下区别。

表 6. DMA 差异

外设	DMA 请求	GX32F130	AT32F421
TMR2	TMR2_UP	DMA_Channel2	NA
	TMR2_CH1	DMA_Channel5	
	TMR2_CH2	DMA_Channel3	
	TMR2_CH3	DMA_Channel1	
	TMR2_CH4	DMA_Channel4	
TMR6	TMR6_UP	NA	DMA_Channel3
TMR15	TMR15_COM	NA	DMA_Channel5

3.3.3 中断向量

- AT32F421与GX32F130对比在中断号及中断向量部分有以下区别

表 7. 中断向量差异

位置	GX32F130	AT32F421
15	TMR2	Reserved
17	Reserved	TMR6
48	DMA_CH6_CH7	Reserved

3.3.4 GPIO

- GPIO部分AT32F421相较于GX32F130，主要区别在于AT32F421在输出配置下不支持内部上下拉。

表 8. GPIO 差异

GPIO	GX32F130	AT32F421
输出模式	PP PP+PU PP+PD OD OD+PU OD+PD	PP OD
功能复用	PP	PP

	PP+PU PP+PD OD OD+PU OD+PD	OD
--	--	----

3.3.5 ADC

- AT32F421与GX32F130对比在ADC部分有以下区别

表 9. ADC 差异

ADC	GX32F130		AT32F421	
通道数	16 通道+3 内部通道		15 通道+3 内部通道(无 V _{BAT} 通道, 有 V _{SSA} 通道)	
时钟	双时钟域 (APB 时钟和 HICK14 时钟)		APB 时钟	
外部触发	规则组 TMR2 CC2	注入组 TMR2 TRGO TMR2 CC1	普通组 NA	抢占组 NA NA
电源要求	2.6V 到 3.6V		2.4V 到 3.6V	

3.3.6 USART

- AT32F421内置的USART外设相比于GX32F130的USART有较大的区别。二者在结构、特性和编程上都不同, 因此USART部分的代码需要重新编写后才可以在AT32F421上运行。

3.3.7 CRM PLL

- AT32F421在系统时钟配置流程中, CRM PLL配置和使能之前需要根据实际所使用的PLL时钟源来对参考时钟配置表PLL_FREF参数进行配置(寄存器CRM_PLL[26:24])。

3.3.8 FLASH

- AT32F421采用Flash架构的差异, 在Flash使用上有如下区别

表 10. Flash 闪存存储器差异

SYSCLOCK Range	GX32F130	AT32F421
0 MHz < SYSCLOCK <= 32 MHz	无	零等待
32 MHz < SYSCLOCK <= 64 MHz		一个等待
64 MHz < SYSCLOCK <= 96 MHz		二个等待
96 MHz < SYSCLOCK <= 120 MHz		三个等待

3.3.9 RTC

- AT32F421与GX32F130相比只支持入侵检测0 (tamper0), 不支持入侵检测1 (tamper1)。

3.3.10 PWC

- AT32F421与GX32F130相比增加了PB5 (WKUP6) 和PB15 (WKUP7) 作为wakeup pin。
- AT32F421与GX32F130相比增加了深度睡眠模式下的内部电压调节器的额外低功耗模式

3.4 功能增强

本章节描述AT32F421系列相比GX32F130系列在各外设功能上增强的部分。

3.4.1 高频 PLL 设定

- PLL可输出最高可达120 MHz时钟，设定略有不同

3.4.2 AT32F421 PLL 预分频器

- 由于主频提高至120 MHz，相关预分频器做出扩增
- ADC预分频器扩增支持/12, /16输出

3.4.3 安全库区保护

- 提供了安全库区(sLib)的功能，以防止重要的IP-Code被终端用户的程序做修改或读取，从而达到保护的目的。

3.4.4 GPIO 5V 容忍管脚兼容

- AT32F421芯片提供更多5V电压输入容忍引脚，仅有引脚PC14、PC15、PF0、PF1不具5V电压输入容忍特性，这些引脚输入电平不可超过VDD + 0.3V。
- 其他引脚皆为5V电压输入容忍。

4 版本历史

表 11. 文档版本历史

日期	版本	变更
2022.02.25	2.0.0	最初版本
2022.05.30	2.0.1	删除PWC的“PWC以WFE进入lower-power模式区别”内容
2022.10.17	2.0.2	新增PWC的“WKUP pin功能”及“内部电压调节器的额外低功耗模式”内容

重要通知 - 请仔细阅读

买方自行负责对本文所述雅特力产品和服务的选择和使用，雅特力概不承担与选择或使用本文所述雅特力产品和服务相关的任何责任。

无论之前是否有任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为雅特力授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在雅特力的销售条款中另有说明，否则，雅特力对雅特力产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途(及其依据任何司法管辖区的法律的对应情况)，或侵犯任何专利、版权或其他知识产权的默示保证。

雅特力产品并非设计或专门用于下列用途的产品：(A) 对安全性有特别要求的应用，如：生命支持、主动植入设备或对产品功能安全有要求的系统；(B) 航空应用；(C) 汽车应用或汽车环境；(D) 航天应用或航天环境，且/或(E) 武器。因雅特力产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向雅特力发出了书面通知，风险由购买者单独承担，并且独力负责在此类相关使用中满足所有法律和法规要求。

经销的雅特力产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致雅特力针对本文所述雅特力产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大雅特力的任何责任。

© 2022 雅特力科技 (重庆) 有限公司 保留所有权利